

I²Cバス仕様書

バージョン 2.1

2000年 1月

目次

1	序文	1
1.1	バージョン1.0 - 1992年	1
1.2	バージョン2.0-1998年	1
1.3	フィリップのI ² Cバス・デバイスの購入	1
2	I ² Cバスの設計および装置製造上の利点	2
2.1	システム設計を行なう上での利点	2
2.2	装置製造を行なう上での利点	4
3	I ² Cバス仕様の概略	4
4	I ² Cバスの概念	4
5	一般的な特徴	6
6	ビット転送	6
6.1	データの有効性	6
6.2	『START』条件と『STOP』条件	7
7	データ転送	8
7.1	バイトのフォーマット	8
7.2	アクノリッジ	8
8	アービトレーションとクロック生成	9
8.1	同期	9
8.2	アービトレーション	10
8.3	クロック同期メカニズムを利用したハンドシェイク(協調手順)	11
9	7ビット・アドレスのフォーマット	11
10	7ビット・アドレス指定	13
10.1	第一バイト内の各ビットの定義	13
10.1.1	ゼネラル・コール・アドレス	14
10.1.2	『START』バイト	15
10.1.3	CBUSとの互換性	16
11	I ² Cバス仕様の拡張	17
12	ファースト・モード	17
13	Hsモード	18
13.1	高速転送	18
13.2	Hsモードにおけるシリアル・データ転送フォーマット	19
13.3	F/SモードからHsモードへの切り替えおよびその逆	21
13.4	低速モードにおけるHsモード・デバイス	22
13.5	1つのシリアル・バス・システム上の混在スピードモード	22
13.5.1	混在スピード・バス・システムにおけるF/Sモード転送	23
13.5.2	混在スピード・バス・システムにおけるHsモード転送	23
13.5.3	混在システムにおけるブリッジに対するタイミング要求	25
14	10ビット・アドレス指定	25
14.1	第1および第2バイトのビットの定義	25
14.2	10ビット・アドレスのフォーマット	25
14.3	10ビット・アドレス指定されたゼネラル・コール・アドレスおよび開始(START)バイト	28
15	I/Oステージおよびバス・ラインの電氣的仕様およびタイミング	28
15.1	標準およびファースト・モード・デバイス	28
15.2	Hsモード・デバイス	32
16	I ² Cバス・デバイスとバス・ライン間の電氣的接続	35
16.1	標準モードI ² Cバス・デバイスの抵抗RpとRsの最大値および最小値	37
17	アプリケーション情報	39
17.1	ファースト・モードI ² Cバス・デバイスの出力段のスロープ制御	39
17.2	ファースト・モードI ² Cバス・デバイスのスイッチ付きプルアップ回路	39
17.3	バス・ラインの配線パターン	40
17.4	ファースト・モードI ² Cバス・デバイスの抵抗RpおよびRsの最大値と最小値	40
17.5	HsモードI ² Cバス・デバイスの抵抗RpおよびRsの最大値と最小値	40
18	F/SモードI ² Cバス・システム用の双方向レベル・シフタ	40
18.1	異なったロジック・レベルとのデバイス接続	41
18.1.1	レベル・シフタの動作	42
19	フィリップスから供給される開発ツール	43
20	参考資料	44

I²Cバス仕様書

1 序文

1.1 バージョン1.0 - 1992年

1992年 I²Cバス仕様のバージョンには次のような改定が行なわれています。

- ソフトウェアによるスレーブ・アドレスのプログラミングが省略されました。この機能の実現はやや複雑であり、これまでに使用されたことはありません。
- “低速モード”が省略されました。実際には、このモードはトータル I²C仕様の一部であり、明確に定義される必要はありません。
- “ファースト・モード”が追加されました。これにより、ビット・レートが4倍の400kbit/sまで増加しました。高速デバイスは低速デバイスとダウン・コンパチです、つまりこれを0～100kbit/sの I²Cバス・システムに使用することもできます。
- 10ビット・アドレス指定が追加されました。これにより、1024のスレーブ・アドレスが付加されました。
- EM_C(電磁干渉)性能を改善するために、ファースト・モード・デバイスに対するスローブ・コントロールと入力フィルタが定義されました。

注：100kbit/s I²Cバス・システムおよび100kbit/sデバイスのいずれの変更もありません。

1.2 バージョン2.0-1998年

I²Cバスはデファクトのワールド・スタンダードになっており、現在、1000個以上の異なったICに應用され、50社以上の会社でライセンスされています。しかしながら、今日の多くのアプリケーションにおいては、より高速のバス・スピードおよびより低い動作電圧が要求されています。I²Cバス仕様の改定を行ない、これらの要求を満足させました。このバージョンでは次のような変更を行いました。

- ハイ・スピード・モード(Hsモード)が追加されました。これにより、ビット・レートが3.4Mbit/sまで増加しました。0～3.4Mbit/sのビット・レートで、一つの I²Cバス・システム上で、ファースト・モードおよび標準モードと組み合わせ、Hsモード・デバイスを使用することができるようになりました。
- 2V以下の電源電圧において必要なノイズ・マージン(雑音余裕度)を得るために、デバイスの出力レベルを低くし、さらに、ヒステリシス特性を付加しました。
- ファースト・モード・デバイスの出力段に要求される0.6V(6mAにて)の条件が省略されました。
- 新しいデバイスに対する固定入力レベルはバス電圧に依存するレベルに置き換わりました。
- 双方向性レベル・シフターアプリケーション情報が付加されました。

1.3 フィリップスのI²Cバス・デバイスの購入



フィリップス製 I²Cバス・コンポーネントを購入した場合、フィリップスの持つ I²C特許権の下、I²Cバス・システム内でこれらのコンポーネントを仕様するためのライセンスが与えられます。ただしそのバス・システムが、フィリップスの規定する I²C仕様に準拠している場合に限りです。

I²Cバス仕様書

2 I²Cバスの設計および装置製造上の利点

家庭用機器、通信機器および産業用機器では、一見無関係に見える設計の中に多くの類似点がしばしば見受けられます。例えば、ほとんどの場合、どのようなシステムにも下記の回路が含まれています。

- ・ 情報制御処理回路。通常はシングルチップのマイクロコントローラ。
- ・ LCDドライバ、リモートI/Oポート、RAM、EEPROMあるいはデータ・コンバータのような汎用回路。
- ・ ラジオやビデオ・システム用のデジタル・チューニング回路や信号処理回路または、トーン・ダイヤル機能を持つ電話機用のDTMF生成回路のような用途別専用回路。

フィリップスは、これらの類似点をシステム設計や装置製造に対して有利に活かすことができるように、また、ハードウェアの効率を最大限に引き上げ、回路の簡素化を図るために、IC間相互のコントロールを効率よく行なうことを目的とした、2本のワイヤーからなる簡単な構造の双方向性バスを開発しました。このバスは、IC間相互バス（I²Cバス）と呼ばれています。現在、フィリップスのIC製品群は、150種類以上のCMOSおよびバイポーラのI²Cバス対応デバイスを用意しており、上記3種類の用途の全てに使用されています。全てのI²Cバス対応デバイスはオンチップ・インターフェースを持っており、これによってI²Cバスを介して直接他のデバイスとの相互通信を行なうことができます。このような設計思想のおかげで、これまでデジタル・コントロール回路を設計する上で生じていた多くの問題が解決されるようになりました。

I²Cバスの特徴をいくつか以下に挙げます。

- ・ シリアル・データ・ライン（SDA）とシリアル・クロック・ライン（SCL）の2本のバス・ラインのみで構成。
- ・ バスに接続されている各デバイスはそれぞれ固有のアドレスを持ち、それをもとにソフトウェアによる各デバイスのアドレス指定が可能。また、デバイス間には、マスターとスレーブという簡単な関係が常に成立。マスターはマスター・トランスミッタまたはマスター・レシーバとして機能。
- ・ 万一、複数のマスターが同時にデータ転送を開始しようとした場合でも、データ破壊を防ぐために衝突検出機能およびアービトレーションを備えた本格的なマルチ・マスター・バス。
- ・ 8ビットの双方向シリアル・データ転送を標準モードでは最高100kbit/s、ファースト・モードでは400kbit/s、ハイスピード（Hs）モードでは3.4Mbit/sで行なうことが可能。
- ・ オンチップ・フィルタによりバス上のスパイクを防ぎ、データの信頼性を維持。
- ・ バスの静電容量が400pF以下であれば、1つのバス上にICをいくつでも接続することが可能。

図1にI²Cバスの2つの応用例を示します。

2.1 システム設計を行なう上での利点

I²Cバス対応ICを利用することで、機能ブロック図から直接プロトタイプへシステム設計をすぐに発展させることができます。さらに、外部インターフェースを必要とせずにこれらのICを直接I²Cバスに接続、または、バスから取り除くことによって、プロトタイプ・システムの設計変更や改善を簡単に行なうことができます。特に、システム設計者にとって有利なI²Cバス対応ICの特徴のいくつかを以下に紹介いたします。

- ・ ブロック図上の機能ブロックが実際のICと対応しているため、ブロック図から最終的な配線図への移行を短時間で行なうことが可能。
- ・ I²Cバス接続用のインターフェースがすでにチップ上に組み込まれているため、バス・インターフェースの設計が不要。
- ・ アドレス指定およびデータ転送手順が提供されているため、ソフトウェアによるシステムの定義が可能。
- ・ 多くの場合、同じタイプのICを多くの異なった用途に利用することが可能。
- ・ 設計者が、多用されているI²Cバス対応ICに代表される機能ブロックにすぐに馴染むことができるため、設計時間の短縮が可能。
- ・ バス上の他の回路に一切影響を与えることなく、システム内でのICの追加または除去が可能。
- ・ 故障診断およびデバックを容易に行なうことができるため、不良個所の究明が簡単。
- ・ よく使用するプログラム・モジュールを集めたライブラリを作っておくことで、ソフトウェア開発に必要な時間を短縮することが可能。

さらに、I²Cバス対応デバイス・シリーズの一つであるCMOS ICは、上記のような特徴に加えて下記のように、特に、ポータブル機器やバッテリー・バックアップのシステムを設計する上で有利な特徴を備えています。

- ・ 消費電力が非常に低い。
- ・ 対ノイズ性が高い。
- ・ 電源電圧範囲が広い。
- ・ 動作温度範囲が広い。

I²Cバス仕様書

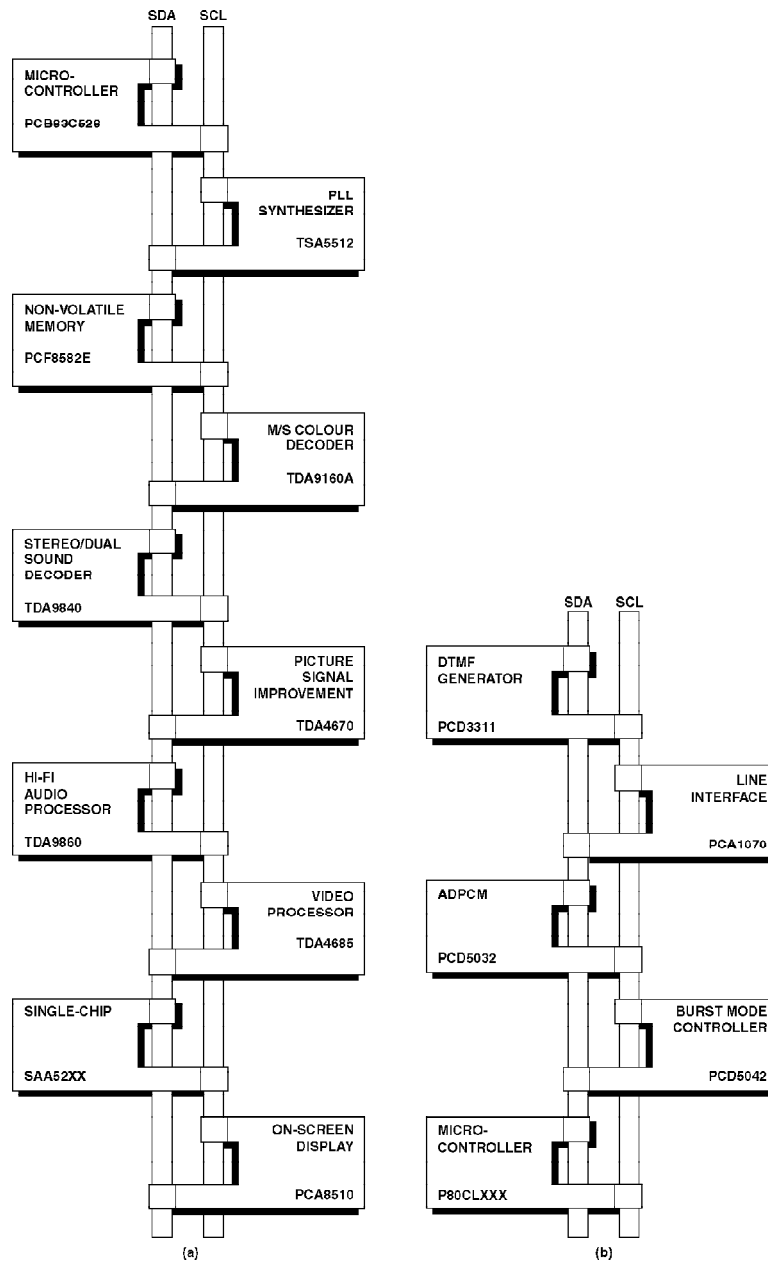


図1 I²Cバスを応用した2つの製品例 (a) 高性能高集積テレビ
(b) DECTコードレス電話基地局

I²Cバス仕様書

2.2 装置製造を行なう上での利点

I²Cバス対応ICは、システム設計を行なう上で便利なだけでなく、装置設計においても以下のような理由により、多くの便宜を提供しています。

- 2本のワイヤーによって構成されるシリアルI²Cバスは、構造が簡単のため内部接続を最小限に抑えることが可能。従って、ピン数や基盤上の配線数も少なく済み、その結果、低コストの基盤作成が可能。
- I²Cバス・プロトコル(通信手順)が組み込まれているため、アドレス・デコーダやその他の「バス接続用論理回路」が不要。
- I²Cバスはマルチ・マスター・バスであるため、アセンブリ・ライン・コンピュータとの外部接続を介してエンド・ユーザー装置のテストや調整を簡単に実施することが可能。
- SQ(スモール・アウトライン)、VSO(ベリイ・スモール・アウトライン)およびDIL(デュアル・イン・ライン)のデバイス内でI²Cバス対応ICを利用することができるため、より一層の小型化が可能。

以上は、I²Cバスの優れた特徴の一部にすぎません。さらに、I²Cバス対応ICを利用することにより、装置設計の自由な変更や最新の設計基準に合わせるためのシステム・グレードアップを簡単に行なうことができるので、より柔軟なシステム設計が可能になります。このことにより、1つの基本的なモデルを元にしてシリーズの全モデルの開発を行なうことができます。従って、新型モデルへのアップグレードや機能拡張(メモリー拡張、リモート・コントロールなど)は、必要なICをバスに追加するだけで簡単に行なうことができます。より大容量のメモリー(ROM)が必要になった場合には、フィリップスの幅広いデバイス群から必要サイズのROMを搭載したマイクロコントローラを選択するだけですみます。新型のICは古いものに比べて機能的に優れているため、単に、旧型のICをバスから取り除いて、新型ICと交換するだけで、装置に新しい機能を加えたり、装置の性能向上を図ることが簡単に行なえます。

3 I²Cバス仕様の概略

シングル・チップ・マイクロコントローラを必要とするような8ビット・アプリケーションにおいて、次のような一定の設計基準を確立することができます。

- 一般的に完全なシステムは、少なくとも一つのマイクロコントローラとメモリーや入出力エキスパンダなどの他の周辺デバイスから構成されています。
- システムに各デバイスを接続するためのコストはなるべく低く抑えることが必要です。

- このようなシステムは一般に制御機能を実行するためのものであって、高速データの転送は不要です。
- 全体としての効率は、使用されるデバイスとそれらのデバイスを相互に結合するバス構造の性質によって決定されます。

これらの基準を満足するシステムを構築するには、シリアル・バス構造が必要です。シリアル・バスのスループットはパラレル・バスより劣っていますが、ワイヤーの接続数や接続ピン数が少なく済み、しかも、バスは単にデバイスを接続する配線ではなく、システム内での通信を行なうためのフォーマットと手順を全て含んでいます。

シリアル・バスで互いに通信するデバイスは、情報に矛盾が生じたりデータが失われることがないように、一定の通信手段(プロトコル)を持たなければなりません。高速デバイスと低速デバイスが相互に通信する機能も必要になります。接続されるシステムに依存するようなシステムの構成は避けなければなりません。そうでなければシステムを変更したり改善することが不可能になるからです。また、プロトコルは、いつ、どのデバイスによってバスがコントロールされるかを決定できるものでなければなりません。さらに、クロック速度が異なるデバイスがバスに接続されている場合には、バスのクロック・ソースの定義が必要になります。このI²Cバス仕様では、これらの全ての点に関して説明しています。

4 I²Cバスの概念

I²Cバスは全てのICファブ・プロセス(NMOS、CMOS、バイポーラ)をサポートしています。2本のワイヤー(シリアル・データSDAとシリアル・クロックSCL)によって、バスに接続されているデバイス間での情報伝達が行なわれます。各デバイスは、マイクロコントローラ、LCDドライバ、メモリーあるいはキーボード・インターフェース如何に拘わらず、固有のアドレスによって認識され、機器の機能に応じてトランスマッタまたはレシーバとして動作できるようになっています。あきらかにLCDドライバはレシーバとしてしか動作しませんがメモリーはデータを受信することや送信することができます。これらのデバイスはトランスマッタまたはレシーバとして考えることができるだけではなく、データ転送を行なうときにはマスターまたはスレーブとして考えることもできます(表1参照)。マスターとは、バス上でデータ転送を開始するデバイスであり、転送を可能にするクロック信号を生成します。そのときマスターによってアドレス指定されるほとんどのデバイスもスレーブとなります。

I²Cバス仕様書

表1 I²Cバスで使用される用語の定義

用語	説明
トランスミッタ	データをバスに送信するデバイス
レシーバ	データをバスから受信するデバイス
マスター	データ転送を開始し、クロック信号を生成し、データ転送を終了するデバイス
スレーブ	マスターからアドレス指定されるデバイス
マルチ・マスター	メッセージを失うことなく、複数のマスターが同時にバスをコントロールすること
アービトレーション	複数のマスターが同時にバスをコントロールしようとするときに、1つのマスターだけがバスをコントロールできるようにし、さらに、メッセージが失われたり内容が変更されないようにする手順
同期化	複数デバイスのクロック信号の同期をとるための手順

I²Cバスはマルチ・マスター・バスです。マルチ・マスター・バスとは、バスをコントロールする複数のデバイスを接続することができるバスのことです。一般にマスターとなるのはマイクロコントローラですので、I²Cバスに接続されている2個のマイクロコントローラ間でデータ転送を行なう場合について考えてみます(図2参照)

この図では、I²Cバスのマスターとスレーブおよびレシーバとトランスミッタの関係が示されています。ただし、これらの関係は一時的なものであり、その時点でのデータ転送の方向によってのみ決定されます。データの転送は次の順序で行なわれます。

- 1) マイクロコントローラAがマイクロコントローラBに情報を送信する場合。
 - ・ マイクロコントローラA(マスター)がマイクロコントローラB(スレーブ)のアドレスを指定。

- ・ マイクロコントローラA(マスター・トランスミッタ)がマイクロコントローラB(スレーブ・レシーバ)にデータを送信。
- ・ マイクロコントローラAによってデータ転送が終了。
- 2) マイクロコントローラAがマイクロコントローラBから情報を受信する場合。
 - ・ マイクロコントローラA(マスター)がマイクロコントローラB(スレーブ)のアドレスを指定。
 - ・ マイクロコントローラA(マスター・レシーバ)がマイクロコントローラB(スレーブ・トランスミッタ)からデータを受信。
 - ・ マイクロコントローラAによってデータ転送が終了。

後者の場合でも、データ転送のタイミングをとりデータ転送を終了するのは、マスター(マイクロコントローラA)になります。

I²Cバスに複数のマイクロコントローラを接続できるということは、同時に複数のマスターがデータ転送を開始しようとする可能性があることとなります。そこで、このような現象が発生するのを防ぐために、通信調整手順(アービトレーション)が開発されました。この通信手順では、I²Cバスと全てのI²Cバス・インターフェースの間のワイヤードAND接続が利用されています。

複数のマスターがバスに情報を送信しようとした場合、他のマスターが0を生成したときに最初に1を生成したマスターは通信を行なうことができなくなります。アービトレーション中のクロック信号は、SCLラインとAND接続されているマスターによって生成されるクロックを組み合わせると同期されたものが使用されます(アービトレーションの詳細については8節を参照してください)

I²Cバスでは、常にマスターデバイスによってクロック信号が生成されます。従って、バス上でデータの送受信が行なわれる場合には、マスターがそれぞれ独自のクロックを生成することになります。マスターが生成するバス・クロック信号は、周期を延ばすためにクロック・ラインを'L'に保持する低速のスレーブ・デバイス、または、アービトレーション中に他のマスターによって変更されることがあるのみです。

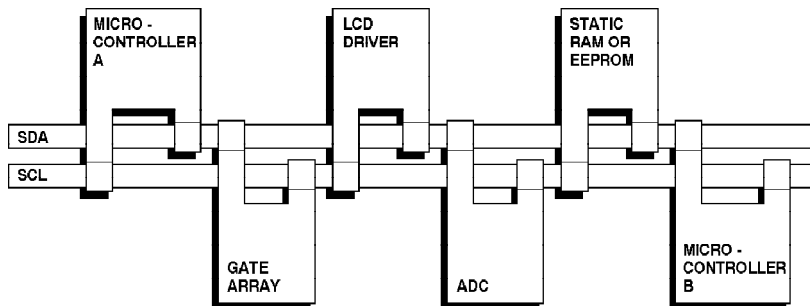


図2 2つのマイクロコントローラを使ったI²Cバス構成例

I²Cバス仕様書

5 一般的な特徴

SDAとSCLはどちらも双方向ラインであり、並列抵抗を介して正の電源電圧に接続されています(図3参照)。バスが開放されているときには、どちらのラインも「H」の状態になります。バスに接続されているデバイスの出力段には、AND接続機能を実行するためにオープン・ドレインまたはオープン・コレクタが必要になります。I²Cバスでは、標準モード時に最大100kbit/s、ファースト・モード時に最大400kbit/s、高速モード時には3.4Mbit/sの高速でデータを転送することができます。バスに接続されるインターフェースの数は、バスの最大静電容量(400pF)によってのみ制限されることになります。高速モードのマスター・デバイスの情報に関しては13節を参照してください。

6 ビット転送

I²Cバスには異なる技術を利用したデバイス(CMOS、NMOS、バイポーラ)を接続することができますので、論理値の「0」(「L」)と「1」(「H」)レベルは一定ではなく、V_{DD}のレベルによって決定されます(電気的な仕様については15節を参照)。転送される各データ・ビットごとに1つのクロック・パルスが生成されます。

6.1 データの有効性

クロックが「H」の間にはSDAラインの状態は一定でなければなりません。データ・ラインが「H」と「L」の間で状態を変更できるのは、SDLラインのクロック信号が「L」のときに限られます(図4参照)。

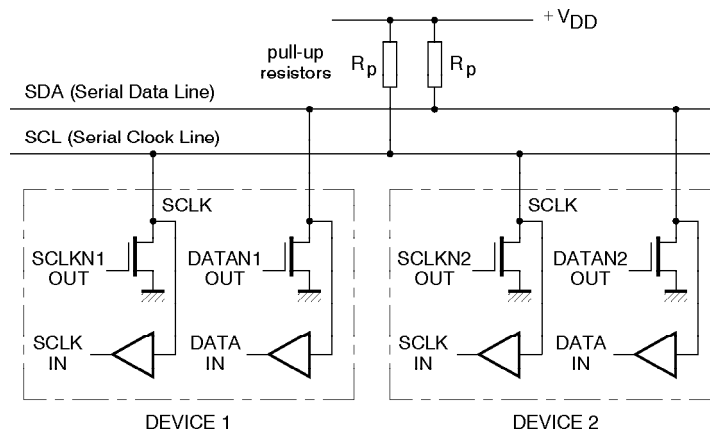


図3 標準およびファースト・モード・デバイスのI²Cバスへの接続

I²Cバス仕様書

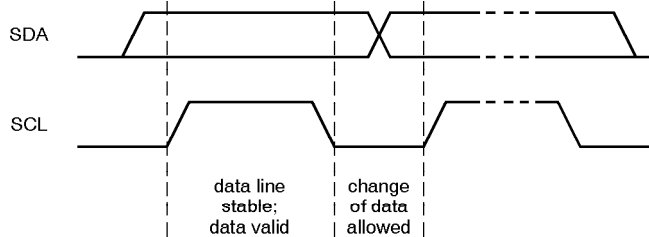


図4 I²Cバス上でのビット転送

6.2 『START』条件と『STOP』条件

I²Cバスの通信手順では『START』条件および『STOP』条件という固有の状況が発生します(図5参照)

SCLが^{*}H'のときに^{*}H'からSDAラインが^{*}L'に変化すると、このような状況が発生します。この場合は『START』条件と呼ばれます。

SCLが^{*}H'のときにSDAラインが^{*}L'から^{*}H'に変化すると、同じような状況が発生します。この場合は『STOP』条件と呼ばれます。

『START』条件と『STOP』条件は常にマスターによって生成されます。『START』条件が発生した後は、バスがビジー状態になります。『STOP』条件が生成されると、その後しばらく、バスは再びフリー状態になります。このようにバスが開放されているフリー状態については15節で詳しく説明します。

『STOP』条件の代わりに反復『START』条件(Sr)が生成した場合には、バスはビジー状態を保持します。この点において、『START』条件(S)と反復『START』条件(Sr)は機能的には同じものです(図6参照)。従って、このドキュメントの以下の部分において『START』条件(S)と反復『START』条件(Sr)の両方を表すために、一般的な記号として記号Sを用いています。ただし、特にSrを使用する場合はこの限りではありません。

バスに接続されているデバイスが必要なインターフェースを備えていれば、『START』条件と『STOP』条件の検出を容易に行なうことができます。しかし、このようなインターフェースを備えていないデバイスでは、状態の変化を検出するために、各クロック・パルスごとに少なくとも2回ずつSDAラインをサンプリングしなければなりません。

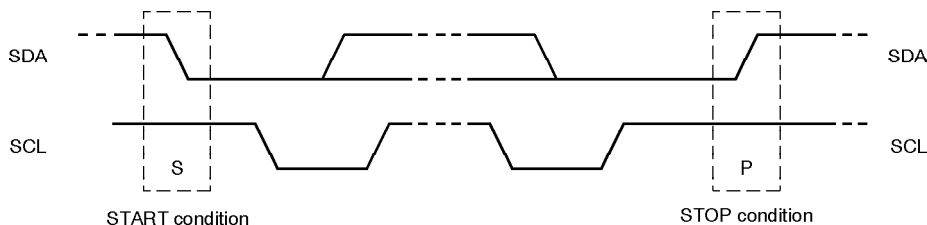


図5 『START』条件と『STOP』条件

I²Cバス仕様書

7 データ転送

7.1 バイトのフォーマット

SDAラインに出力される各バイトの長さは必ず8ビットになります。1回の転送で伝送できるバイト数には制限がなく、何バイトでも送ることができます。各バイトの後にはアクリッジ・ビットが必要になります。データは最上位ビット (MSB) から順に送信されます (図6参照)。レシーバが他の機能、例えば、内部割込みのサービスなどの実行を終了するまで、データを構成する全バイトを受信することができない場合、レシーバ側でクロック・ラインSCLを「L」に保持し、トランスミッタを待ちの状態にすることができます。レシーバがデータ・バイトを受信できる状態になり、クロック・ラインSCLを開放すると、データ転送が再開されます。

場合によっては、I²Cバスと異なるフォーマットを使用することもできます (例えば、CBUSと互換性のあるデバイスの場合など)。バイト伝送中でも、『STOP』条件を生成すれば、このようなアドレスから始まるメッセージを終了することができます。この場合にはアクリッジは生成されません (10.1.3参照)。

7.2 アクリッジ

データ転送を行なう場合、必ずアクリッジが必要になります。アクリッジ用のクロック・パルスはマスターによって生成されます。アクリッジ・クロック・パルスが生成されると、トランスミッタはSDAラインを開放します (「H」の状態になります)。

レシーバは、アクリッジ・クロック・パルスが「H」状態のときに、SDAラインが「L」状態で安定するように、アクリッジ・クロック・パルスの出力にあわせてSDAラインを「L」にしなければなりません (図7参照)。もちろん、セットアップ時間とホールド時間 (「L」の状態を保持する期間) も考慮する必要があります (これらについては15節で解説します)。

通常、アドレス指定されたレシーバは、メッセージがCBUSアドレスから始まる場合を除いて、各バイトが終了するたびにアクリッジを生成しなければなりません。(10.1.3参照)

スレーブ・レシーバがアドレス確認を行なうことができない場合 (例えば、リアルタイム機能を実行しているために受信できないような場合)、そのスレーブはデータ・ラインを「H」の状態に保持しなければなりません。この時、マスターは『STOP』条件を生成してデータ転送を中止したり、新しい転送を始めるために反復『START』条件を生成することができます。

スレーブ・レシーバがアドレスを確認した場合でも、転送途中でデータ・バイトを受信できなくなった時には、マスターによって転送が途中で打ち切られることが必要になります。このようにスレーブがデータを受信することができない場合、スレーブは次に送られてくる最初のバイトに対してアクリッジを生成しないことによってそのことを示します。スレーブはデータ・ラインを「H」の状態に保ち、マスターは『STOP』または反復『START』条件を生成できるようにする必要があります。

マスターがレシーバとなる場合、スレーブから送信された最後のデータ・バイトに対してアクリッジをしないことによって、マスターはスレーブ・トランスミッタにデータの終わりを知らせます。このとき、スレーブ・トランスミッタはデータ・ラインを開放し、マスターが『STOP』停止または反復『START』条件を生成できるようにする必要があります。

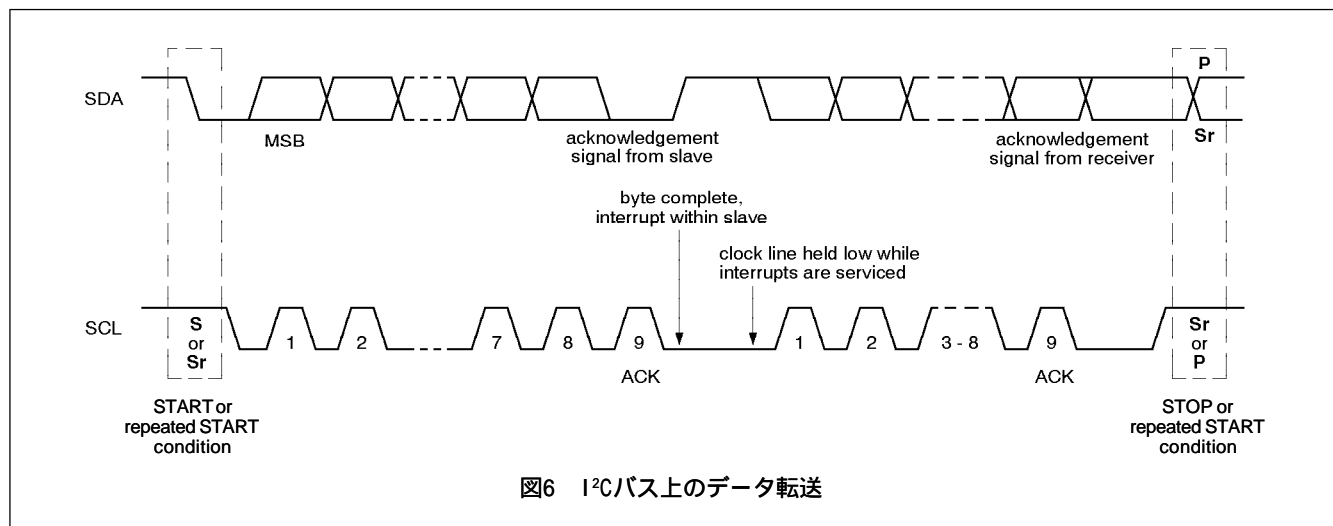
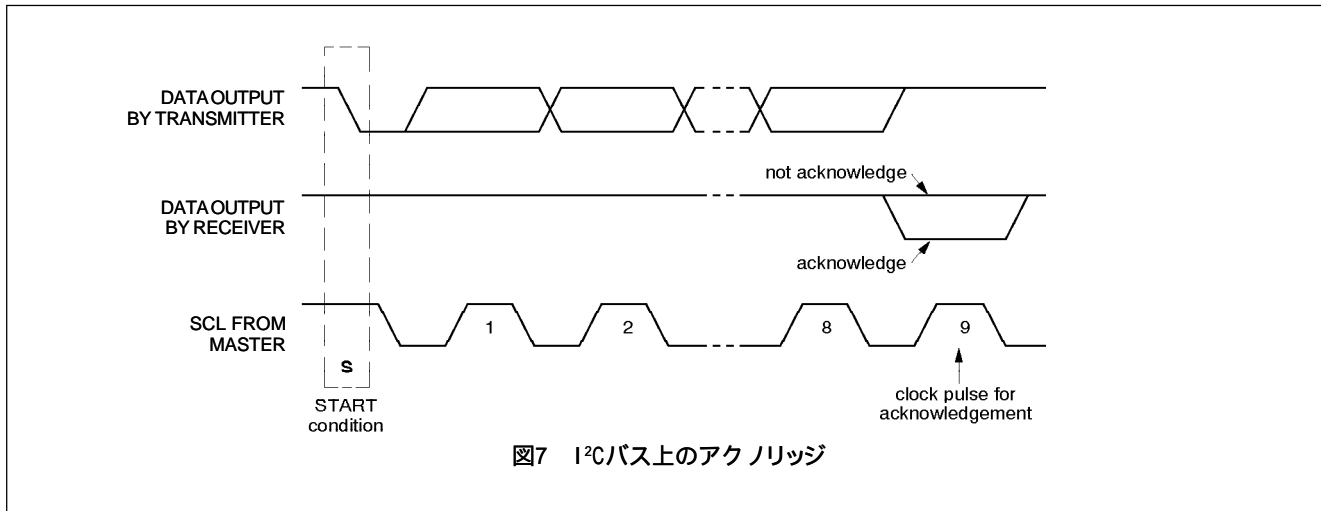


図6 I²Cバス上のデータ転送

I²Cバス仕様書



8 アービトレーションとクロック生成

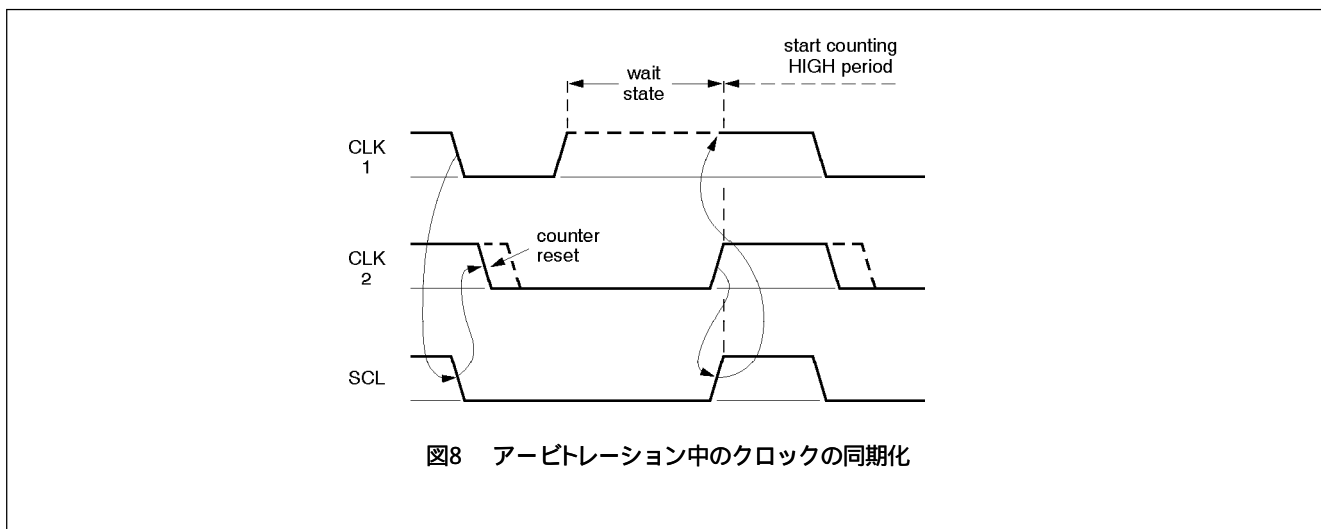
8.1 同期

どのマスターも、I²Cバスでメッセージを転送するためのクロックをSCLライン上で独自に生成します。データはクロックがHの間だけ有効となります。従って、アービトレーションが1ビットごとに実行される場合には、クロックを統一するためのなんらかの規定が必要になります。

クロック信号の同期は、SCLラインとデバイスをAND接続することによって実行されます。これによってSCLラインがHからLの状態に変化すると、関連するデバイスはL期間のカウントを開始します。あるデバイスのクロックがLになると、そのデバイスは自分のクロックがHの状態になるまでSCLラインをLに保持します(図8参照)しかし、このデバイスのクロックがLからHに変化しても他のデバイスのクロックがまだL期間内にある場合、SCLラインの状態は変化しません。従って、SCLラインのL期間は、L期間の最も長いデバイスによって決定されることになります。この間、L期間の短いデバイスは、Hのまま待ち状態になります。

全てのデバイスがL期間を終了すると、クロック・ラインが開放されて、H状態になります。これでデバイスのクロックとSCLラインが同じ状態になり、どちらもH期間のカウントを開始します。SCLラインは、H期間を最初に終了したデバイスによって再びL状態にされます。

このように、L期間の最も長いデバイスによってL期間が、H期間の最も短いデバイスによってH期間がそれぞれ決定され、SCLラインの同期がとられます。



I²Cバス仕様書

8.2 アービトレーション

マスターは、バスが開放状態の時にのみデータ転送を開始することができます。『START』条件の最小持続時間 ($t_{HD;STA}$) 内に複数のマスターが『START』条件を生成する場合があります。この場合、『START』条件は一定の許可手順に従ってバスに送信されます。

SCLラインが Hレベルにある時、SDAライン上に Hレベルを送信しているマスターは、他のマスターがSDAライン上に Lレベルを送信していれば自分のレベルがバスのレベルと一致しないために、データ出力段をオフにします。このようにして、SDAライン上でのアービトレーションが行われます。

アービトレーションは、多くのビットについて行なわれる場合があります。この手順で最初に行なわれるのはアドレス・ビットの比較です(アドレス指定については10節および14節で解説します)。全てのマスターが同じデバイスをアドレス指定しようとしている場合には、アービトレーションが行なわれてデータの比較が行われます。この時I²Cバス上のアドレス情報とデータ情報が使用されるので、この処理によって情報が失われることはありません。

通信を許可されなかったマスターは、それが決定されたバイトの終わりまでクロック・パルスを生成することができます。Hsモード・マスターはユニークな8ビット・マスター・コードを持っているので、常に第1バイト中のアービトレーションを終了します(13節参照)。

アドレス指定の段階で、あるマスター・デバイスの通信不許可が決定し、かつ、そのマスターがスレーブ機能を持っている場合、そのマスター・デバイスは通信を許可されたマスターによってアドレス指定の対象になっていることが考えられます。従って、通信不許可となったこのデバイスはすぐにスレーブ・レシーバ・モードに切り替わる必要があります。

図9は2つのマスターの間での通信許可(アービトレーション)手順を示したものです。もちろん、より多くのマスター間(最大数はバスに接続されているマスターの数によって決定)で通信許可手順が行なわれることもあります。DATA1を生成するマスターの内部データ・レベルとSDAラインとの実レベルが異なっているとき、このマスターのデータ出力はオフになります。その後、このマスターの H出力レベルがバスに接続されます。これは通信許可を得たマスターによって開始されたデータ転送には、いかなる影響も与えません。

I²Cバスのコントロールは、同時に通信を開始しようとするマスターの送信するアドレスとデータ情報のみに基づいて決定されるため、バス上では優先マスター・デバイスや優先順位などは存在しません。

シリアル転送の際、反復『START』条件または『STOP』条件が『START』条件がI²Cバスに送られた時点でアービトレーション手順がまだ実行中である場合には、特に注意が必要です。もし、このような状況が発生する可能性がある場合は、これに関係するマスターは、この反復『START』条件または『STOP』条件をフォーマット・フレーム内の同一の場所で送ることが必要になります。換言すれば、以下の2者間ではプロトコルが機能しないことになります。

- 反復『START』条件とデータ・ビット
- 『STOP』条件とデータ・ビット
- 反復『START』条件と『STOP』条件

スレーブは、アービトレーションの手順とは無関係です。

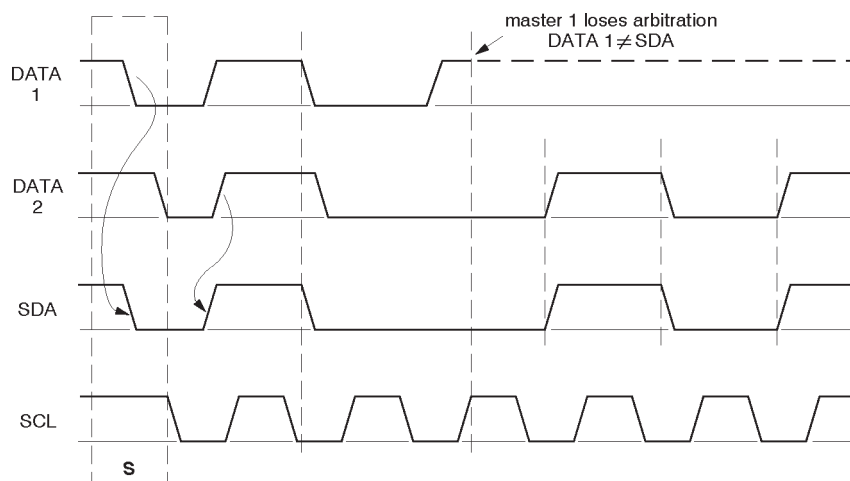


図9 2つのマスターのアービトレーション手順

I²Cバス仕様書

8.3 クロック同期メカニズムを利用したハンドシェーク

クロック同期メカニズムは、アービトレーション手順内で使用するだけでなく、レシーバをバイト・レベルまたはビット・レベルで高速データ転送に対応できるようにするために利用されます。

デバイスはバイト・レベルで高速レートのデータのバイトを受信しますが、受信したデータを貯蔵したり、あるいは、送信されるべき他のバイトを用意するのにもっと多くの時間を必要とします。1バイトのアクリッジを受信した後にSCLラインの'L'レベルをフォールドします。マスターは、一種のハンドシェーク手順で次ぎのバイトの送信を行なうためにこのスレーブが準備されるまで、待ち受け状態になります(図6参照)。

ビット・レベルではI²Cインターフェース・ハードウェアを持たない、または、限られたハードウェアしか持たないマイクロコントローラなどのデバイスは、各クロックの'L'期間を延長することにより、バス・クロックのスピードを遅くすることができます。このようにして、マスターのスピードを、このデバイス内の内部動作スピードに適合させることが可能になります。

Hsモードにおいて、このハンドシェークの機能はバイト・レベルでのみ使用されます(13節参照)。

9 7ビット・アドレスのフォーマット

データ転送では、図10に示されているフォーマットが使用されます。『START』条件(S)の後、スレーブのアドレスが送信されます。このアドレスは7ビットで構成され、8ビット目にはデータ方向ビット(R/W)が続きます。このデータ方向ビットが“0”であれば送信(書き込み)、“1”であればデータ要求(読み込み)を示します。データ転送は、必ずマスターが生成する『STOP』条件(P)によって終了します。しかし、マスターがまだバス上での通信を続けたい場合には、先に『STOP』条件を生成することなく、反復『START』条件(Sr)を生成して別のスレーブのアドレスを指定することができます。このようなデータ転送において、いろいろな組み合わせの読み込み、および書き込みフォーマットが可能になります。

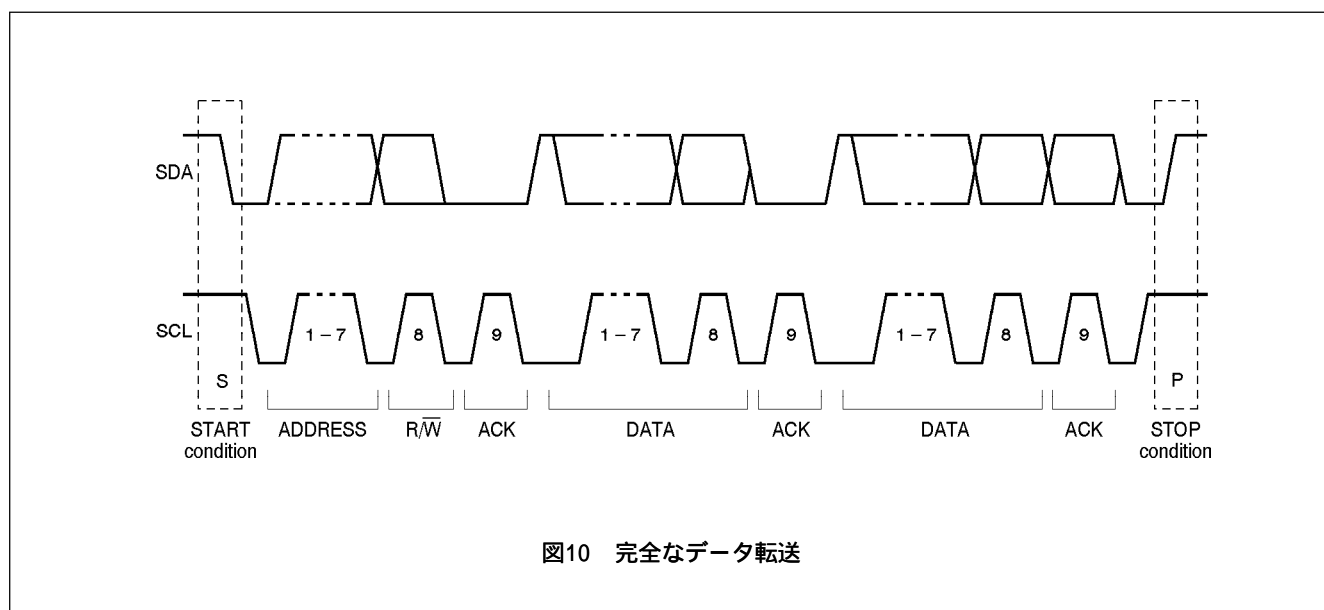


図10 完全なデータ転送

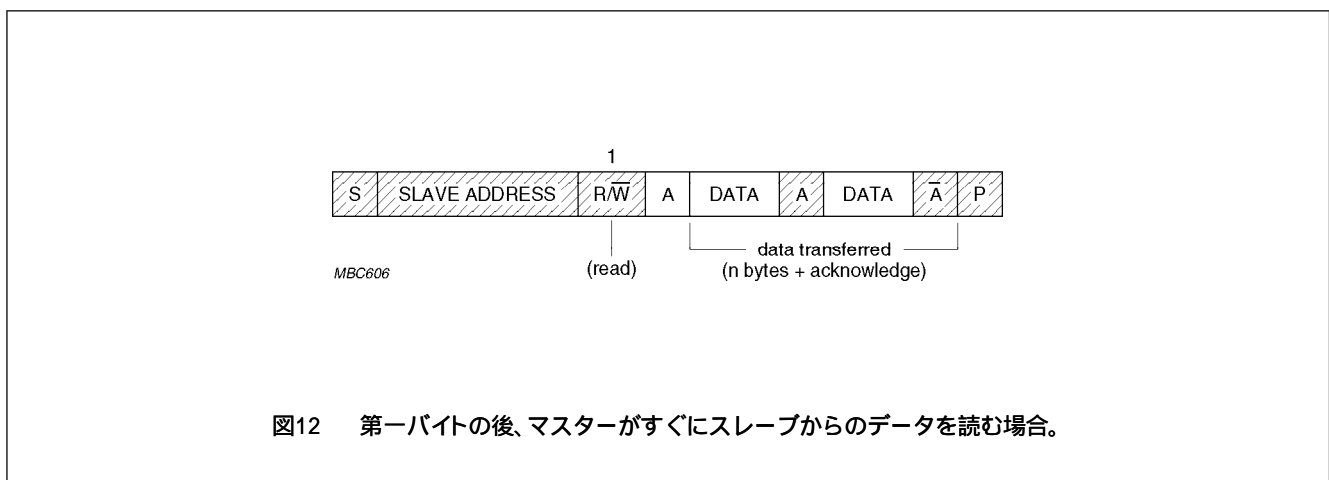
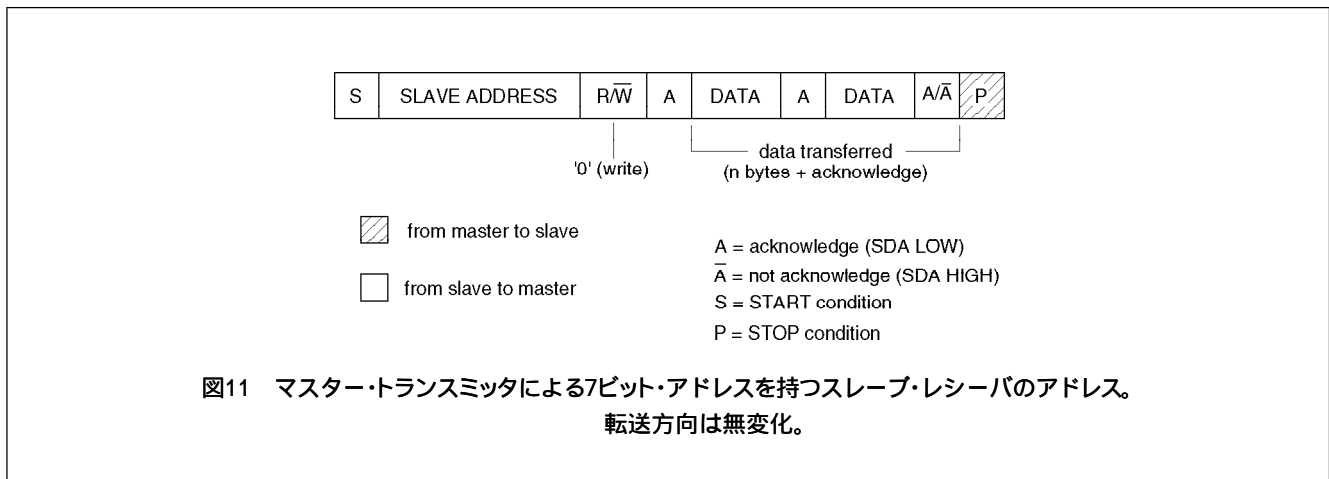
I²Cバス仕様書

以下のようなデータ転送フォーマットが可能です。

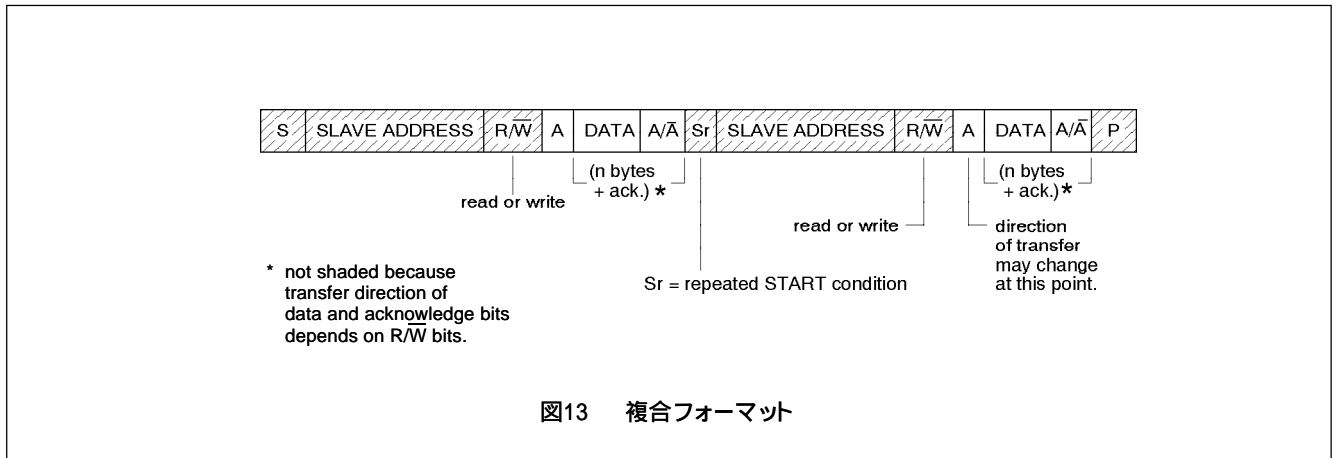
- ・ マスター・トランスミッタからスレーブ・レシーバへのデータ送信。転送方向は変わりません(図11 参照)
- ・ マスターが1バイト目の直後から、スレーブのデータを読み込む場合(図12 参照)。最初のアクノリッジ時に、マスター・トランスミッタはマスター・レシーバに、スレーブ・レシーバはスレーブ・トランスミッタに変化します。この場合にもアクノリッジはスレーブが生成し、『STOP』条件はマスターが生成するという状況は変わりません。この『停止』条件はマスターによって生成されており、この状態はすでに非アクノリッジ(A)を送出しています。
- ・ 複合フォーマット(図13 参照)。一回の転送中に方向が変化するときには、『START』条件とスレーブ・アドレスの双方が送信されます。ただし、R/Wビットの方向は逆になります。マスター・レシーバが反復『START』条件を送信していない場合には、このレシーバがすでに非アクノリッジ(A)を送出していたこととなります。

注:

1. 例えば複合フォーマットは、シリアル・メモリーのコントロールなどに利用されます。最初のデータ・バイト中に、内部メモリー・ロケーションが書き込まなければなりません。『START』条件とスレーブ・アドレスが再び送信されると、データの送信が可能になります。
2. 以前にアクセスされたメモリー・ロケーションの自動加算または自動減算についての決定は、全てデバイスの設計者が行ないます。
3. 上記手順においてAまたは \bar{A} によって示されているように、各バイトの後にアクノリッジが続きます。
4. I²Cバス対応のデバイスは、適切なフォーマットに従って『START』条件がセットされた場合においても、『START』条件または反復『START』条件を受信した時点でバス・ロジックをリセットし、この『START』条件が適切なフォーマットに従った場所に無い場合においてすら、スレーブ・アドレスの送信を予測できるようにしておかなければなりません。
5. 『START』条件のすぐ後に停止条件(無効条件)が続くのは不法なフォーマットです。

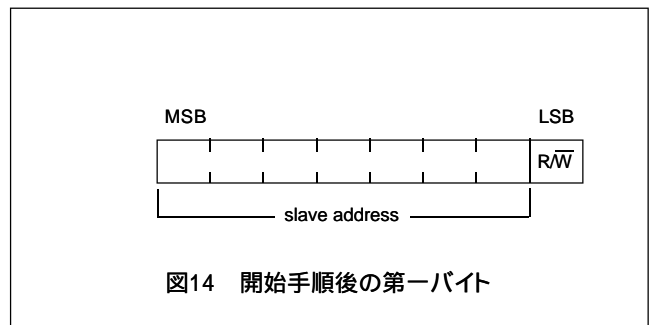


I²Cバス仕様書



10 7ビット・アドレス指定

通常I²Cバスのアドレス指定手順では、マスターがどのスレーブを選択するか『START』条件に続く最初のバイトで判断できるように考えられています。ただし、『ゼネラル・コール』アドレスは例外であり、全てのデバイスのアドレスを指定することができます。このアドレスが使用される場合には、理論的には全てのデバイスがアクリッジを行わなければなりません。しかし、このアドレスを無視するようにデバイスを設定することも可能です。ゼネラル・コール・アドレスの2バイト目によって、実行すべき動作が指定されます。ゼネラル・コール・アドレスについては10.1.1でさらに詳しく述べられています。また、10ビット・アドレス指定については14節を参照してください。



10.1 第一バイト内の各ビットの定義

このバイトの最初の7ビットは、スレーブ・アドレスを示します(図14参照)。8番目のビットはLSB(最下位ビット)と呼ばれ、メッセージの方向を決定するためのビットです。第一バイトの最下位ビットが“0”であるということは、マスターから指定されたスレーブに向かって情報の書き込みが行なわれることを示しています。このビットが“1”であるということは、マスターがスレーブからの情報を読み込むことを示しています。

アドレスが送信されると、システム内の各デバイスは『START』条件の後の最初の7ビットをそれぞれ各自のアドレスと比較します。アドレスが一致した場合、そのデバイスはスレーブ・レシーバまたはスレーブ・トランスミッタ R/Wビットに応じて決定)としてマスターからアドレス指定されたと判断します。

スレーブ・アドレスは、変更不能な固定部分とプログラム可能な部分から構成されている場合があります。1つのシステム内には同一のデバイスが複数個使用されることが考えられるため、このような場合にはスレーブ・アドレスのプログラム可能な部分を変更することにより、可能な限り多くのデバイスを1つのI²Cバスに接続できるようになります。

デバイスのアドレス・ビット中のプログラム可能なビットの数は、利用可能なピンの数によって決定します。例えば、あるデバイスのアドレス・ビットの中で4ビットが固定部分であり、3ビットがプログラム可能である場合には、1つのバスに最大8つの同種のデバイスを接続することが可能になります。

I²CバスによってI²Cアドレスの割り当て調整が行われます。より詳細な情報については、このドキュメントの裏カバーに記載したフィリップスの代理店からお求めになれます。それぞれ、8種類の組み合わせを持つ2組のアドレス(0000xxxと1111xxx)は、表2の目的のために予約されています。スレーブ・アドレスの組み合わせ11110xxは10ビット・アドレス指定用に予約されているため使用できません(14節参照)。

I²Cバス仕様書

表2 第一バイトの定義

スレーブ アドレス	R/W ビット	説明
0000 000	0	ゼネラル・コール・アドレス
0000 000	1	スタート・バイト ⁽¹⁾
0000 001	X	CBUSアドレス ⁽²⁾
0000 010	X	異なるバス・フォーマット用に予約されている アドレス ⁽³⁾
0000 011	X	将来の利用のために予約
0000 1XX	X	Hsモード・マスター・コード
1111 1XX	X	将来の利用のために予約
1111 0XX	X	10ビット・スレーブ・アドレス指定

注

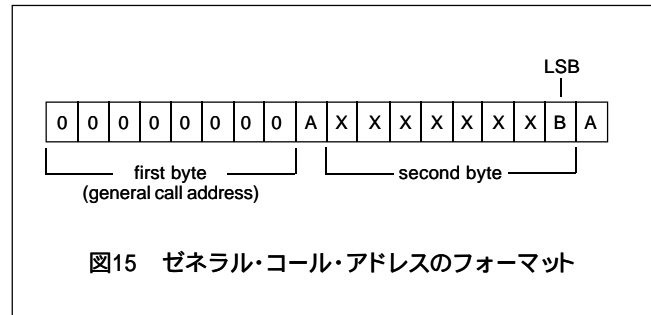
- 『START』バイトの受信時には、どのデバイスもアクノリッジを送ることができません。
- CBUS対応デバイスとI²C対応デバイスを1つのシステム内に混在させることができるように、CBUSアドレスが予約されています。このアドレスを受信したときには、I²Cバス・デバイスは応答することができません。
- I²Cバスの通信手順と他の通信手順を混在させることができるように、異なるバス・フォーマット用に予約されているアドレスも含まれています。このようなフォーマットおよび通信手段を使って動作することができるI²Cバス対応デバイスだけが、このアドレスに回答することができるようになっています。

10.1.1 ゼネラル・コール・アドレス

ゼネラル・コード・アドレスは、I²Cに接続されている全てのデバイスをアドレス指定するために使用されるアドレスです。しかし、ゼネラル・コールで送信される情報の中に必要なデータが全く含まれていない場合には、デバイスはアクノリッジを送信しないことによってこのアドレスを無視することができます。ゼネラル・コール送信によるデータを必要とするデバイスは、ゼネラル・コール・アドレス指定に対してアクノリッジを送信し、スレーブ・レシーバとして機能します。2番目以降のバイトは、このデータを処理することができる全てのスレーブ・レシーバによって受信確認されることとなります。スレーブ・デバイスがこれらのバイト中の一部を処理できない場合には、アクノリッジを送信しないことによってそのバイトを無視しなければなりません。ゼネラル・コール・アドレスの内容は、必ず2バイト目で定義されています(図15参照)

以下の2つの場合が考えられます。

- ・ 最下位ビットBが* 0 の場合
- ・ 最下位ビットBが* 1 の場合



最下位ビットBが* 0 の場合、2バイト目は以下の内容になります。

- ・ 00000110(H06): スレーブ・アドレスのプログラム可能な部分のハードウェアによるリセットおよび書き込み指示。この2バイトを受信すると、ゼネラル・コール・アドレスに回答するように設定された全てのデバイスがアドレスのプログラム可能な部分をリセットし、そこに新しいアドレスを書き込みます。電源電圧の供給後、これらのラインが* L レベルになることでバスがブロックされるため、デバイスがSDAラインまたはSCLラインを* L レベルにしないように注意することが必要です。
- ・ 00000100(H04): スレーブ・アドレスのプログラム可能な部分のハードウェアによる書き込み指示。自身のアドレスのプログラム可能な部分をハードウェアによって定義している全てのデバイス(およびゼネラル・コール・アドレスに回答するデバイス)は、この連続する2バイトを受け取ることによってそのプログラム可能な部分の状態を保持します。デバイスのリセットは行われません。
- ・ 00000000(H01): このコードを2バイト目として使用することはできません。

アドレス・プログラミングのプログラミングについては、それぞれのデバイスのデータ・シートを参照してください。

他のコードは一定ではないため、デバイスはこれらのコードを無視しなければなりません。

最下位ビットBが* 1 の場合、この2バイト・シーケンスは『ハードウェア・ゼネラル・コール』となります。つまり、このシーケンスは、キーボード・スキャナなどの希望するスレーブ・アドレスを送信するようにプログラミングできないハードウェア・マスター・デバイスによって送信されることとなります。ハードウェア・マスターは、メッセージをどのデバイスに送信すべきかを前もって知らないため、このハードウェア・ゼネラル・コールと自分自身のアドレスを生成してシステムに自分を認識させることしかできません(図16参照)

第2バイトの残りの7ビットは、ハードウェア・マスターのアドレスを表します。このアドレスは、バスに接続されているインテリジェント・デバイス(マイクロコントローラなど)によって認識され、ハードウェア・マスターからの情報は、このバスを通して送られます。ハードウェア・マスターがスレーブとしても機能できる場合、スレーブ・アドレスはマスター・アドレスと同じになります。

I²Cバス仕様書

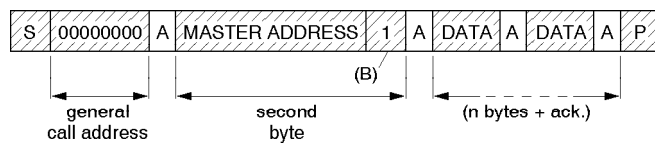


図16 ハードウェア・マスター・トランスミッタからのデータ転送

一部のシステムでは、システム・リセットの後でハードウェア・マスター・トランスミッタがスレープ・レシーバ・モードになることがあります。このようにすれば、システムを構成するマスターはどのアドレスにデータを送信しなければならないのかをハードウェア・マスター・トランスミッタ（現在はスレープ・レシーバ・モード）に指示することができます（図17参照）。このプログラミング手順の後もハードウェア・マスターは、マスター・トランスミッタ・モードのままになります。

10.1.2 『START』バイト

マイクロコントローラは、I²Cバスに2通りの方法で接続することができます。オンチップ・ハードウェアI²Cバス・インターフェースを持つマイクロコントローラの場合、バスから要求を受けたときのみ割り込みがかかるようにプログラムすることができます。このようなインターフェースを持たないデバイスは、ソフトウェアを介して常にバスを監視していなければなりません。

当然、マイクロコントローラがバスを監視、つまりポーリングする時間が長くなればなるほど、本来実行しなければならない機能のために費やすことのできる時間は少なくなります。従って、高速ハードウェア・デバイスとソフトウェア・ポーリングを行なう比較的低速のマイクロコントローラではスピードに差がでます。

このような場合には、データ転送の前に通常よりかなり時間がかかる開始手順が必要となる場合があります（図18）。この開始手順は以下のような内容から構成されています。

- 『START』条件 (S)
- 『START』バイト (00000001)
- アクノリッジ・クロック・パルス (ACK)
- 反復『START』条件 (Sr)

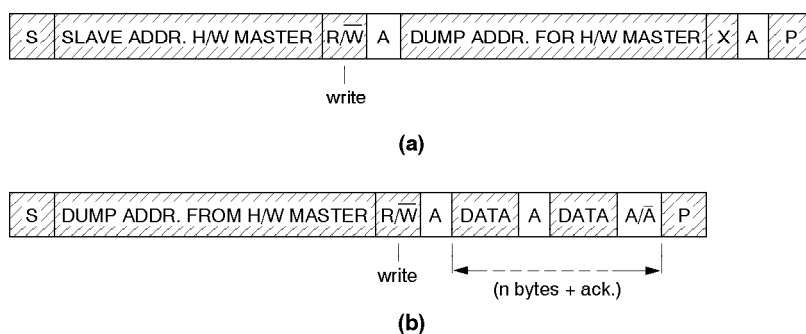


図17 スレープ・デバイスに直接データをダンプすることができるハードウェア・トランスミッタのデータ転送
 (a) 構成マスターがハードウェア・マスターにダンプ・アドレスを送信する場合。
 (b) ハードウェア・マスターが指定されたスレープにデータを送信する場合。

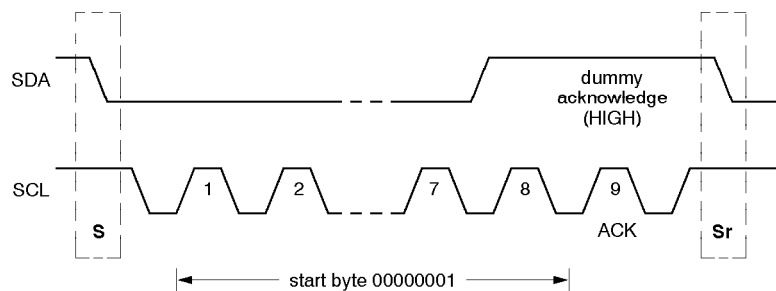
I²Cバス仕様書

図18 『START』バイト手順

バスへのアクセスを必要とするマスターから『START』条件Sが送信された後、『START』バイト(00000001)が送信されます。別のマイクロコントローラは、『START』バイト中の7つの0のいずれかを検出するまで、低いサンプリング・スピードでSDAラインのサンプリングを行います。SDAライン上で“L”レベルが検出されると、マイクロコントローラは同期をとるために使用される反復『START』条件(Sr)を検出するために、さらに速いサンプリング・スピードに切り替わります。

ハードウェア・レシーバは、反復『START』条件(Sr)を受信すると、これをリセットして、以後『START』バイトを無視します。『START』バイトの後に、アクノリッジ用のクロック・パルスが生成されます。

このクロック・パルスは、バス上で使用されるバイト処理フォーマットの準拠するためにだけに生成されます。どのデバイスも『START』バイトに対してアクノリッジを応答することはできません。

10.1.3 CBUSとの互換性

CBUSレシーバをI²Cバスに接続することができます。しかし、このような場合には、DLENと呼ばれる3番目のバス・ラインを確認し、アクノリッジ・ビットを省略するようにならなければなりません。通常、I²C上でのデータ転送は、8ビットから構成されるバイトの送信によって行われますが、CBUSデバイスの場合にはフォーマットが異なっています。

複合バス構造において、I²CデバイスがCBUSメッセージに応答しないようにすることが必要です。そのため、I²Cデバイスが応答することができない特殊なCBUSアドレス(0000001x)が確保されています。CBUSアドレスが送信された後でDLENラインをアクティブ状態にすれば、CBUSフォーマットでのデータ転送を実行することができます(図19参照)。『STOP』条件の後、再び全てのデバイスがデータを受け取れる状態になります。

マスター・トランスミッタはCBUSアドレスを送信した後、CBUSフォーマットを送信することができます。送信は、全てのデバイスが『STOP』条件を認識した時に終了します。

注: 設計者は、CBUS構成がわかっており、CBUSデバイスがこれ以上追加されないことがわかっている場合、その時使用するデバイスの条件に合わせてホールド時間を設定することができます。

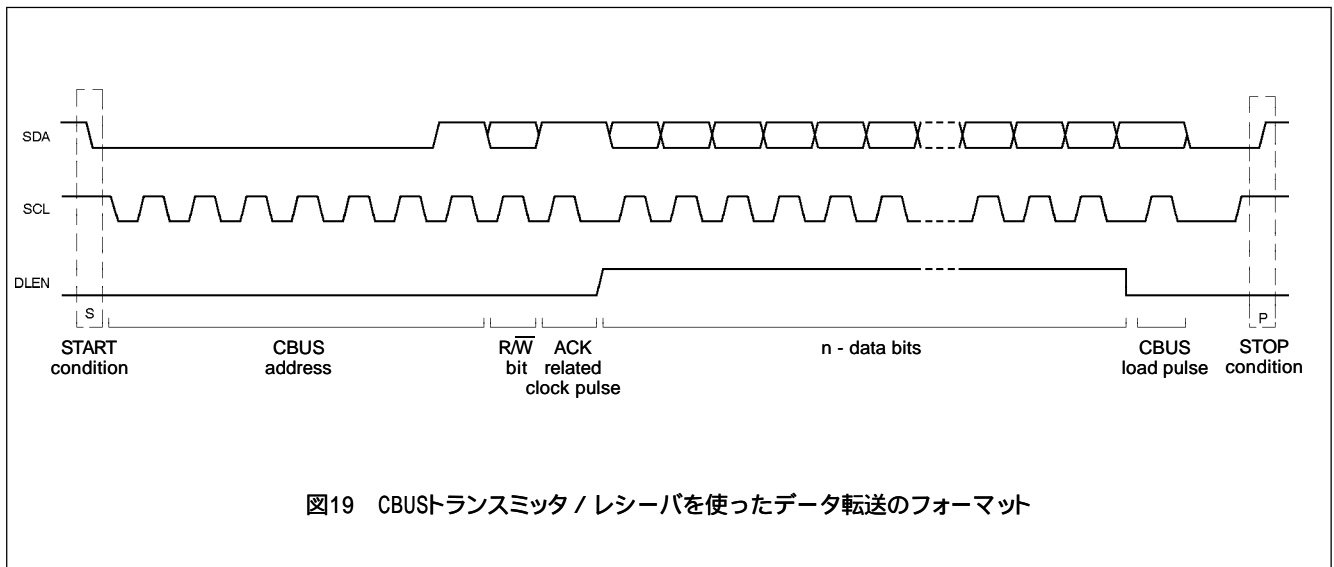
I²Cバス仕様書

図19 CBUSトランスミッタ / レシーバを使ったデータ転送のフォーマット

11 I²Cバス仕様の拡張

データ転送レートが最高100kbit/sで、7ビット・アドレス指定が可能なI²Cバスは、仕様変更することなく1980年以来利用されてきました。この規格は事実上の標準として世界中で受け入れられ、数百種類ものI²Cバス対応のICが、フィリップスや他のメーカーによって販売されています。より高速の要求を満たすため、新しいデバイスにおいて増加しているスレーブ・アドレスをもっと多く得るために、現在、I²Cバスの仕様が拡張され、次の3つの機能が加えられました。

- ・ファースト・モード:ピット・レート400kbit/sまで。
- ・ハイ・スピード(Hs)モード:ピット・レート3.4Mbit/sまで。
- ・10ビット・アドレス指定:これにより最大1024のアドレスを追加利用することが可能になります。

I²Cバス仕様をこのように拡張した理由は、以下のように2つあります。

- ・新しいアプリケーションでは、より多くのシリアル・データを送る必要があるため、100kbit/s(標準モード)あるいは400kbit/s(ファースト・モード)よりも高速でのビット転送が求められるようになったため。ICの製造技術の進歩により、インターフェース回路の製造コストを上げることなく、3.4Mbit/s(Hsモード)までの高速化が実現できました。
- ・7ビット・アドレス指定方式では112のアドレスのほとんどはすでに2回以上利用され、今後、新しいデバイスに対するアドレスの割り当てを問題なく行なうためには、より多くのアドレスの組み合わせが必要となったため。新しい10ビット・アドレス指定方式では、利用可能なアドレスの数を約10倍に増やすことができます。

ファースト・モードまたはHsモードのI²Cバス・インターフェースを持つデバイスには、7ビットまたは10ビットのスレーブ・アドレスのどちらでも割り当てることができます。しかし、ハードウェア・コストがもっとも安価であり、メッセージの長さも最短になる7ビット・アドレスが好まれています。F/SモードまたはHsモード・システムのいずれの場合においても、同じI²Cバス上に7ビットおよび10ビット・アドレスを混在させることが可能です。

既存のマスター・デバイスおよび今後開発されるマスター・デバイスは、7ビット・アドレスまたは10ビット・アドレスのいずれかを生成することができます。

12 ファースト・モード

I²Cバスのファースト・モードでも、SDAおよびSCLラインの通信手段、フォーマット、ロジック・レベルおよび最大容量正負荷は、従来のI²Cバス仕様と同一です。I²Cバス・インターフェースを持つ新しいデバイスは、ファースト(F)またはハイ・スピード(Hs)モード仕様の最低必要条件を満足しなければなりません(13節参照)。

ファースト・モード・デバイスは、400kbit/sまでのデータを受信したり送信することができます。この最低要求条件は400kbit/sのデータ転送に同期できることであり、この転送スピードを落とすためにSCL信号のL期間を延長することができます。ファースト・モード・デバイスは、0~100kbit/s I²Cバス・システムの標準モード・デバイスとダウン・コンパチであり、このバス・システムとの通信を行なうことができます。一方、標準モード・デバイスはファースト・モード・システムとアップ・コンパチではなく、高速のデータ転送スピードに追従できず、また、どのような状態が生じるかも想定できないので、このモードをファースト・モード・バス・システムの中に組み入れることはできません。

I²Cバス仕様書

従来のI²Cバス仕様と異なる点は次の通りです。

- 最大ビット・レートが400kbit/sに増大しました。
- シリアル・データ (SDA) およびシリアル・クロック (SCL) 信号のタイミングが変更されました。CBUSなどの高いビット・レートに対応していない他のバス・システムとの互換性を考慮する必要がなくなりました。
- ファースト・モード・デバイスの入力に、SDAおよびSCL入力においてスパイク防止対策およびシュミット・トリガが必要になりました。
- ファースト・モード・デバイスの出力バッファにSDAおよびSCL信号の立ち下り・エッジ・スロープ・コントロールの組み込みが必要になりました。
- ファースト・モード・デバイスへの電源供給が切れた場合、バス・ラインを妨げることがないようにSDAおよびSCLのI/Oピンと電源との接続が外れるようになっていなければなりません。
- バス・ラインに接続された外部並列デバイスは、ファースト・モードI²Cバスに対応するために、より短い許容可能立ち上がり時間を可能にするように変更される必要があります。バスの負荷が最高200pFまでの場合、各バス・ラインの並列デバイスを抵抗として使用することができます。また、負荷が200pF ~ 400pFの場合には、並列デバイスを電流供給源 (最大3mA) または図43に示すようにスイッチ付き抵抗として利用することができます。

13 Hsモード

ハイスピード (Hs) モード・デバイスは飛躍的なI²Cバス・転送スピードを提供します。Hsモード・デバイスは3.4Mbit/sまでのビット・レートの情報を転送することができ、ファースト (F) モードおよび標準モード・デバイスと完全にダウンコンパチであり、複合スピード・バス・システム内での双方向通信を行なうことができます。Hsモード転送中でアービトレーションおよびクロックの同期化ができないことは例外ですが、F/Sモード・システムの場合と同じシリアル・バス・プロトコルおよびデータ・フォーマットが得られます。非常に多くのアプリケーションにおいてHsモード・デバイスをデザイン・インすることが望まれています。アプリケーションにより、新しいデバイスはファーストまたはハイスピードI²Cバス・インターフェースを持っています。

13.1 高速転送

3.4Mbit/sまでのビット転送を達成するには、通常のI²Cバス仕様に対して次の改良が必要です。

- Hsモード・マスター・デバイスは、SDAH信号に対してはオープン・ドレインの出力バッファが必要であり、SCLHに対してはオープン・ドレインのプルダウンと電流ソースのプルアップ回路⁽¹⁾が必要です。この電流ソース回路によりSCLH信号の立ち上がり時間が短くなります。1つのマスターの電流ソースだけが一度だけHsモードの時にのみイネーブルされます。
- マルチ・マスター・システムにおいてHsモード転送時にアービトレーションおよびクロック同期は行われず、ビット処理機能のスピードアップが図られます。アービトレーションは、常に、F/Sモードにおいて先行するマスター・コード転送の直後におこなわれます。
- Hsモード・マスター・デバイスは1:2のH⁺期間とL⁺期間との比を有するシリアル・クロック信号を生成します。

- オプションとして、Hsモード・マスター・デバイスはビルトインのブリッジ¹を持っています。Hsモード転送の間、Hsモード・デバイスのハイスピード・データ (SDAH) およびハイスピード・シリアル・クロック (SCLH) がF/Sモード・デバイスのSDAおよびSCLラインからのブリッジによって分離されます。このことにより、SDAHとSCLラインの容量性負荷が減少して、立ち上がり時間と立ち下り時間が速くなります。
- Hsモード・スレーブ・デバイスとF/Sモード・スレーブ・デバイスとの唯一の相違は動作時のスピードです。Hsモード・スレーブはSCLHおよびSDAH出力にオープン・ドレインの出力バッファを持っています。SCLH信号のL⁺レベルの期間を延ばすためにSCLHピン上にオプションとしてのトランジスタが用いられますが、これはHsモード転送時のアクリッジ・ビット後のみ実効されます。
- Hsモード・デバイスの入力回路において、SDAHおよびSCLH入力段にスパイク抑圧回路とシュミット・トリガ回路を内蔵しています。
- Hsモード・デバイスの出力バッファにはSDAHおよびSCLHの立ち下りエッジのスロープ・コントロール回路があります。

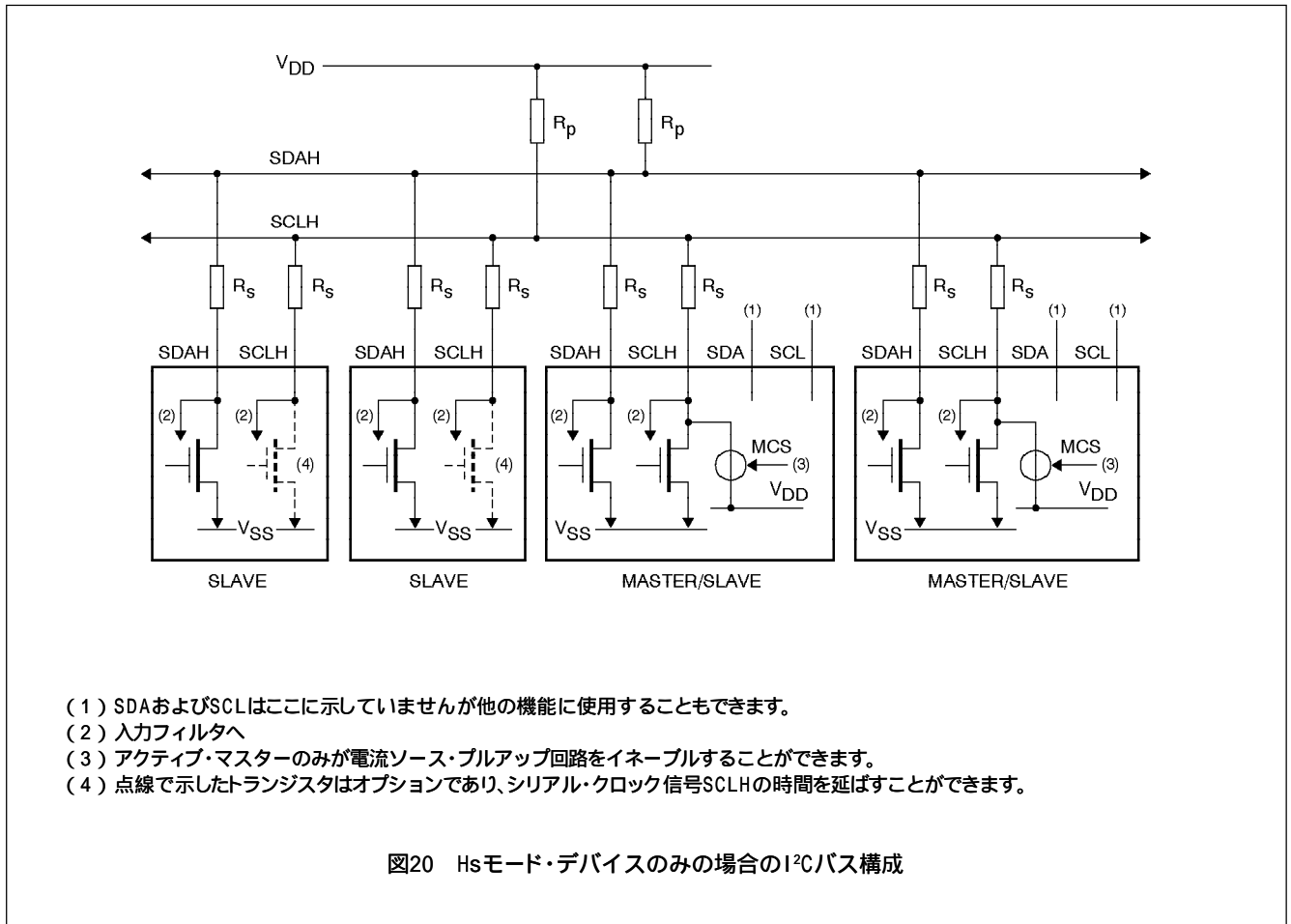
図20はHsモード・デバイスだけのシステムにおける物理的なI²Cバス構成を示します。マスター・デバイスのSDAおよびSCLピンは混在スピード・バス・システムの時にのみ使用され、Hsモードのみのシステムの時には接続されません。このような場合、これらのピンは他の目的に使用されます。

オプションとしてのシリーズ抵抗Rsにより、バス・ラインの高電圧スパイクからI/O段を保護して、リングングおよび干渉を最小にします。

プルアップ抵抗Rpは、バスがフリーな状態である時SDAHおよびSCLHラインをH⁺レベルに維持し、必要な立ち上がり時間の間にこの信号をL⁺からH⁺レベルへ確実にプルアップします。これより大きな容量性バス・ライン (100pF以上) の時、抵抗Rpを外部電流ソース・プルアップと置き換えて、立ち上がり時間の要求を満足させることもできます。アクリッジ・ビットが先行しているとき以外には、Hsモード転送時におけるSCLHクロック・パルスの立ち上がり時間は、アクティブ・マスターの内部電流ソース・プルアップ回路MCSによって短くされます。

(1) パテントの申請中。

I²Cバス仕様書



13.2 Hsモードにおけるシリアル・データ転送フォーマット

Hsモードにおけるシリアル・データ転送フォーマットは標準モードI²Cバス仕様に適合します。Hsモードの条件の後にのみスタートします(これらの全てはF/Sモード)。

- ・ 『START』条件(S)
- ・ 8ビットのマスター・コード(00001XXX)
- ・ 非アクノリッジ・ビット(\bar{A})

図21および図22はこれをさらに詳しく示しています。このマスター・コードには次の2つの機能があります。

- ・ F/Sモードのスピードで競合するマスター間でアービトレーションおよびクロック同期を行って、1つのマスターを選び出します。
- ・ これはHsモード転送の開始を表示します。

Hsモード・マスター・コードには8ビット・コードが割り当てられますが、これはスレーブのアドレス指定およびその他の目的には使用されません。さらに各マスターは独自のユニークなマスター・コードを持っていますので、8つ間でのHsモード・マスターが1つのI²Cバス・システム内に存在することができます(マスター・コード0000 1000

はテストまたは自己診断用に予約されています)。Hsモード・マスター・デバイスに対するマスター・コードはソフトウェア・プログラムブルであり、システム設計者によって選択されます。選ばれたマスターがアクティブになった後、マスター・コードと非アクノリッジ・ビット(\bar{A})の転送中にアービトレーションおよびクロック同期化が行なわれます。このマスター・コードは、Hsモード転送がスタートしたことを他のデバイスに知らせますが、接続されたデバイスはHsモードの仕様を満足しなければなりません。マスター・コードのアクノリッジを行なわないデバイスがないので、マスター・コードの後には非アクノリッジ(\bar{A})が続きます。

非アクノリッジ・ビット(\bar{A})の後、およびSCLHラインがずっとHレベルにプルアップされているとき、このアクティブ・マスターによってHsモードに切り替えられてSCLH信号の電流ソース・プルアップ回路をイネーブします(時間 t_{H1} において、図22参照)。他のデバイスによって、SCLH信号のL期間が引き延ばされて t_{H1} 以前のシリアル転送が遅延させられるので、全てのデバイスがSCLHラインを開放してSCLH信号がHレベルになったとき、このアクティブ・マスターによって電流ソース・プルアップ回路がイネーブされます。

その後、アクティブ・マスターがR/ \bar{W} ビット・アドレスを持った7ビット・スレーブ・アドレス(または、10ビット・スレーブ・アドレス、14節参照)に先行する反復『START』条件を送出して、選択されたスレーブからアクノリッジ・ビット(\bar{A})を受信します。

I²Cバス仕様書

各アクリッジ・ビット(A)または非アクリッジ・ビット(\bar{A})の後、アクティブ・マスターはその電流ソース・プルアップ回路をディスエーブルします。このことによって、他のデバイスのSCLH信号のL'期間が延びてシリアル転送の遅延が達成されます。全てのデバイスが開放されてSCLH信号がH'レベルになると、アクティブ・マスターが再び電流ソース・プルアップ回路をイネーブルしますので、SCLH信号の立ち上がり時間の最後の部分のスピードアップが図られます。次の反復START条件(Sr)後に、Hsモードのデータ転送が継続し

て、『STOP』条件(P)の後でF/Sモードにもどされます。マスター・コードのオーバーヘッドを低減するために、反復START条件(Sr)で分離されたHsモード転送の多くとマスターをリンクさせることができます。

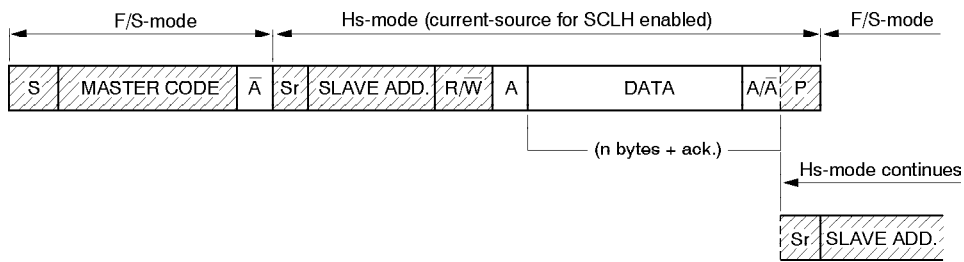


図21 Hsモードのデータ転送フォーマット

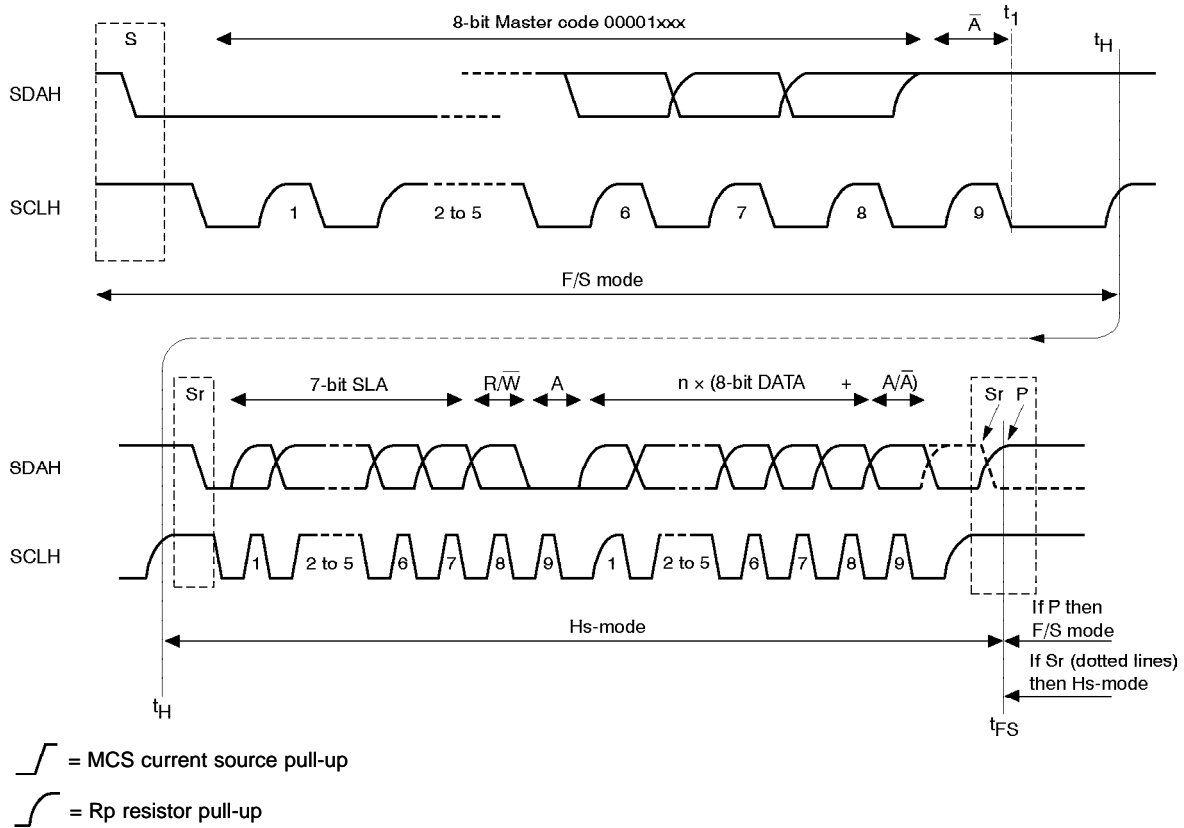


図22 完全なHsモード転送

I²Cバス仕様書

13.3 F/SモードからHsモードへの切り替えおよびその逆

リセットおよび初期化の後に、Hsモード・デバイスはファースト・モードになっている必要があります(これは、ファースト・モードが標準モードとダウン・コンパチと同じようにF/Sモードとダウン・コンパチ)。各Hsモード・デバイスはファースト・モードからHsモードへ(またはその逆)切り替えられますが、これはI²Cバス上のシリアル転送によってコントロールされます。

図22において、時間 t_1 以前に、各接続デバイスはファースト・モードで動作しています。時間 t_1 と t_H との間(この時間間隔は任意のデバイスによって引き伸ばすことが可能)それぞれの接続デバイスは「S00001XXXA」シーケンスを認識して、その内部回路をファースト・モードからHsモードの設定に切り替えなければなりません。時間 t_1 と t_H との間、接続されたマスターおよびスレーブ・デバイスは次の動作によってこのスイッチングを行います。

アクティブ(選ばれた)マスター:

1. SDAHおよびSCLH入力フィルタをHsモードでのスパイク抑圧の要求を満たすように調整する。
2. Hsモードの要求に適合するようにセットアップ時間およびホールド時間を調整する。
3. Hsモードの要求に適合するようにSDAHおよびSCLH出力段のスロープ・コントロールを調整する。
4. 時間 t_H の後に要求されるHsモード・ビット・レートに切り替える。
5. 時間 t_H の後にSCLH出力段の電流ソース・プルアップ回路をイネーブルする。

非アクティブまたは選ばれていないマスター:

1. SDAHおよびSCLH入力フィルタをHsモードでのスパイク抑圧の要求を満たすように調整する。
2. バスが再びフリーになった時を検出するために『STOP』条件を待つ。

全てのスレーブに対して;

1. SDAHおよびSCLH入力フィルタをHsモードでのスパイク抑圧の要求を満たすように調整する。
2. Hsモードの要求に適合するようにセットアップ時間およびホールド時間を調整する。この要求は、すでに入力フィルタの調整によって実施されている場合があります。
3. 必要に応じて、SDAH出力段のスロープ・コントロールを調整する。スレーブ・デバイスするとき、スロープ・コントロールはSDAH出力段についてのみ適応されますが、これは回路の状態に依存します。ファースト・モードおよびHs(ハイスピード)モードに対して、内部回路を切り替えることなしにその要求事項を満たすことができます。

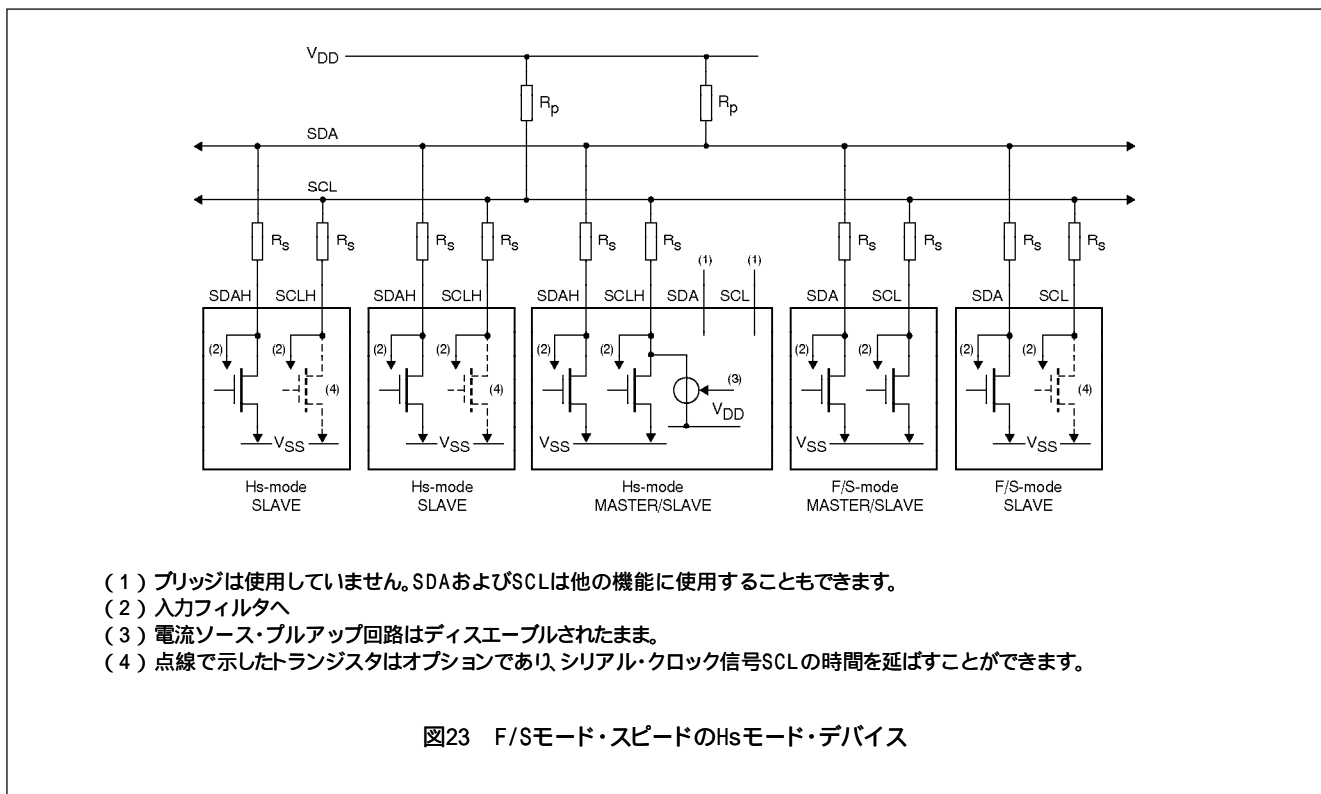
図22において、時間 t_{RS} の後、それぞれの接続デバイスは『STOP』条件(P)を認識して、時間 t_1 以前に存在した場合と同様に、その内部回路をHsモード設定からファースト・モード設定に切り替える必要があります。これは、ファースト・モードに従って表5で規定されているように最小バス・フリー時間内に終了しなければなりません。

I²Cバス仕様書

13.4 低速モードにおけるHsモード・デバイス

Hsモード・デバイスはF/SモードI²Cバス・システムと完全にダウンコンパチであり、このシステムに接続することができます(図23参照)。このような構成ではマスター・コードが転送されませんので、すべてのHsモード・マスター・デバイスがF/Sモードのままになって

おり、F/Sスピードでディスエーブルされた電流ソースとの通信を行いません。SDAHおよびSCLHピンはF/Sモード・バス・システムに接続されるために使用されて、Hsモード・マスター・デバイスのSDAおよびSCLピン(実在している場合)を他の機能に使用することができます。



13.5 1つのシリアル・バス・システム上の混在 スピード・モード

あるシステムがHsモード、ファースト・モードおよび/あるいは標準モード・デバイスが混在されている場合、相互接続ブリッジを用いて、異なるデバイス間で異なるビット・レートで通信することが可能です(図24および25参照)。

適切な時間で、Hsモード・セクションからF/Sモード・セクションへ、またはその逆方向へ、接続したりあるいは接続を外したりすることを一つのブリッジで行なうことができます。このブリッジには、異なる電源電圧を持ったデバイスに接続するためのレベル・シフトの機能があります。例えば5VのV_{DD2}を持ったF/Sモード・デバイスを、3Vまたはそれ以下のV_{DD1}を持ったHsモード・デバイス(ただし、V_{DD2} > V_{DD1})に接続してSDAとSCLピンを5Vとインターフェースできるようにすることができます。このブリッジはHsモード・マスター・デバイスに内蔵されており、シリアル信号SDAH、SCLH、SDAおよびSCLによって完全にコントロールされます。このようなブリッジはフレキシブルなデバイスとして、すべてのデバイスに取り込むことができます。

TR1、TR2、TR3はNチャンネル・トランジスタです。TR1、TR2は伝達ゲート機能を持っており、TR3にはオープン・ドレインのプルダウン・ステージがあります。TR1、TR2がスイッチ・オンされると、これらは双方向にLレベルを伝達します。さもなければ、ドレインおよびソースの

両方がHレベルに上昇したとき、それぞれのスイッチ・オンされたトランジスタのドレインとソースのインピーダンスがHになります。後者の場合、トランジスタはレベル・シフタとして動作し、SDAHおよびSCLHはV_{DD1}に、SDAおよびSCLはV_{DD2}にプルアップされます。

F/Sモード・スピードの間、Hsモード・マスターの一方のブリッジにより、SDAHおよびSCLHラインを該当するSDAおよびSCLラインに接続して、Hsモード・デバイスがF/Sモード・デバイスと低い方のスピードで通信を行なうことができます。8節で記述されているように、全ての接続デバイス間で全F/Sモードの転送中にアービトレーションおよび同期化を行なうことができます。しかしながら、Hsモード転送中に、2つのバス部を分離するためにブリッジが開いて、Hsモード・デバイスが互いに3.4Mbit/sで通信をおこないます。Hsモード・デバイスとF/Sモード・デバイスとの間のアービトレーションはマスター・コード(00001XXX)中においてのみ実行され、スレープ・アドレスには4つの立ち上がりゼロがないので、通常、1つのHsモード・マスターだけが選ばれます。他のマスターは予約された8ビット・コード(00000XXX)が送られたときにアービトレーションを選びます。このような場合、ブリッジは閉じられたままであり、転送はF/Sモードで進行します。表3にこのようなシステムの考えられる通信を示します。

I²Cバス仕様書

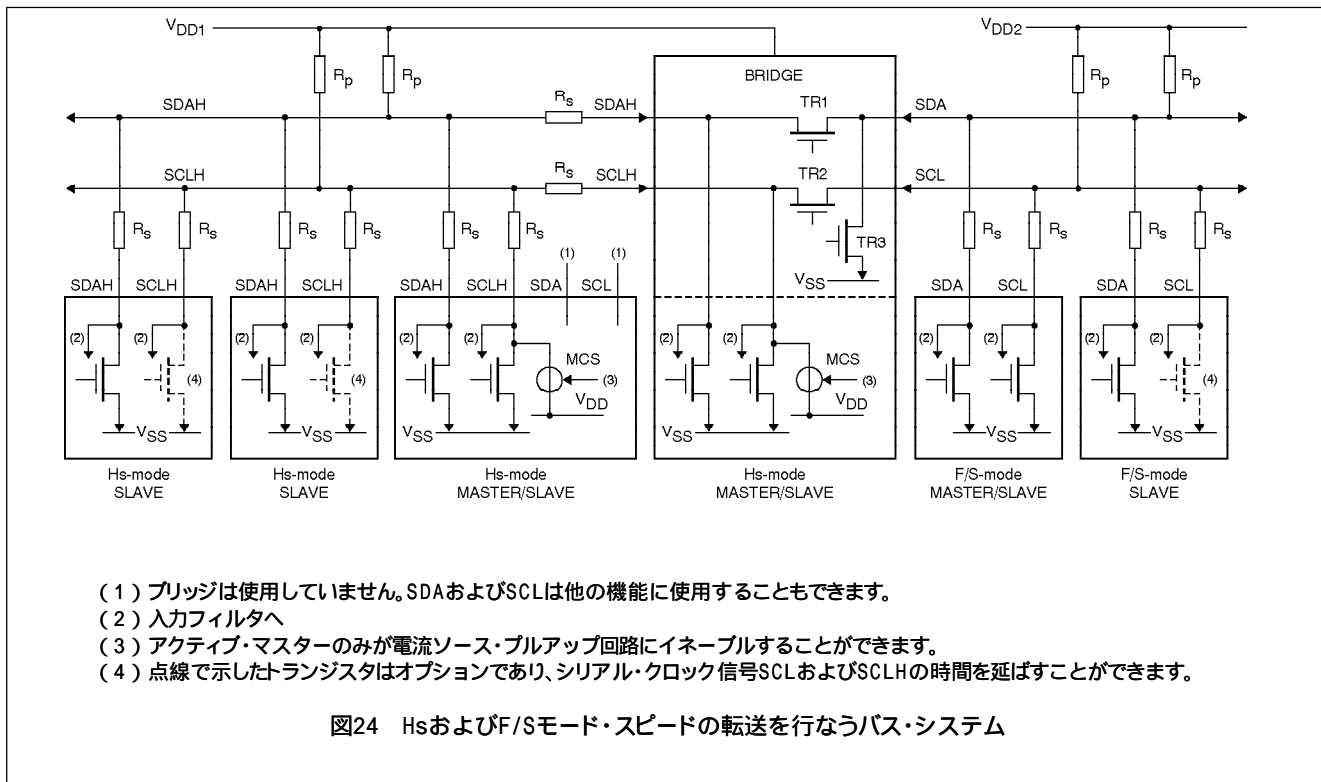


表3 混在スピード・バスシステムにおけるビット・レートの通信

転送モード	シリアル・バス・システム構成			
	Hs + FAST + スタンダード	Hs + FAST	Hs スタンダード	FAST スタンダード
Hs < > Hs	0 ~ 3.4 Mbit/s	0 ~ 3.4 Mbit/s	0 ~ 3.4 Mbit/s	
Hs < > Fast	0 ~ 100 kbit/s	0 ~ 400 kbit/s		
Hs < > Standard	0 ~ 100 kbit/s		0 ~ 100 kbit/s	
Fast < > Standard	0 ~ 100 kbit/s			0 ~ 100 kbit/s
Fast < > Fast	0 ~ 100 kbit/s	0 ~ 400 kbit/s		0 ~ 100 kbit/s
Standard < > Standard	0 ~ 100 kbit/s		0 ~ 100 kbit/s	0 ~ 100 kbit/s

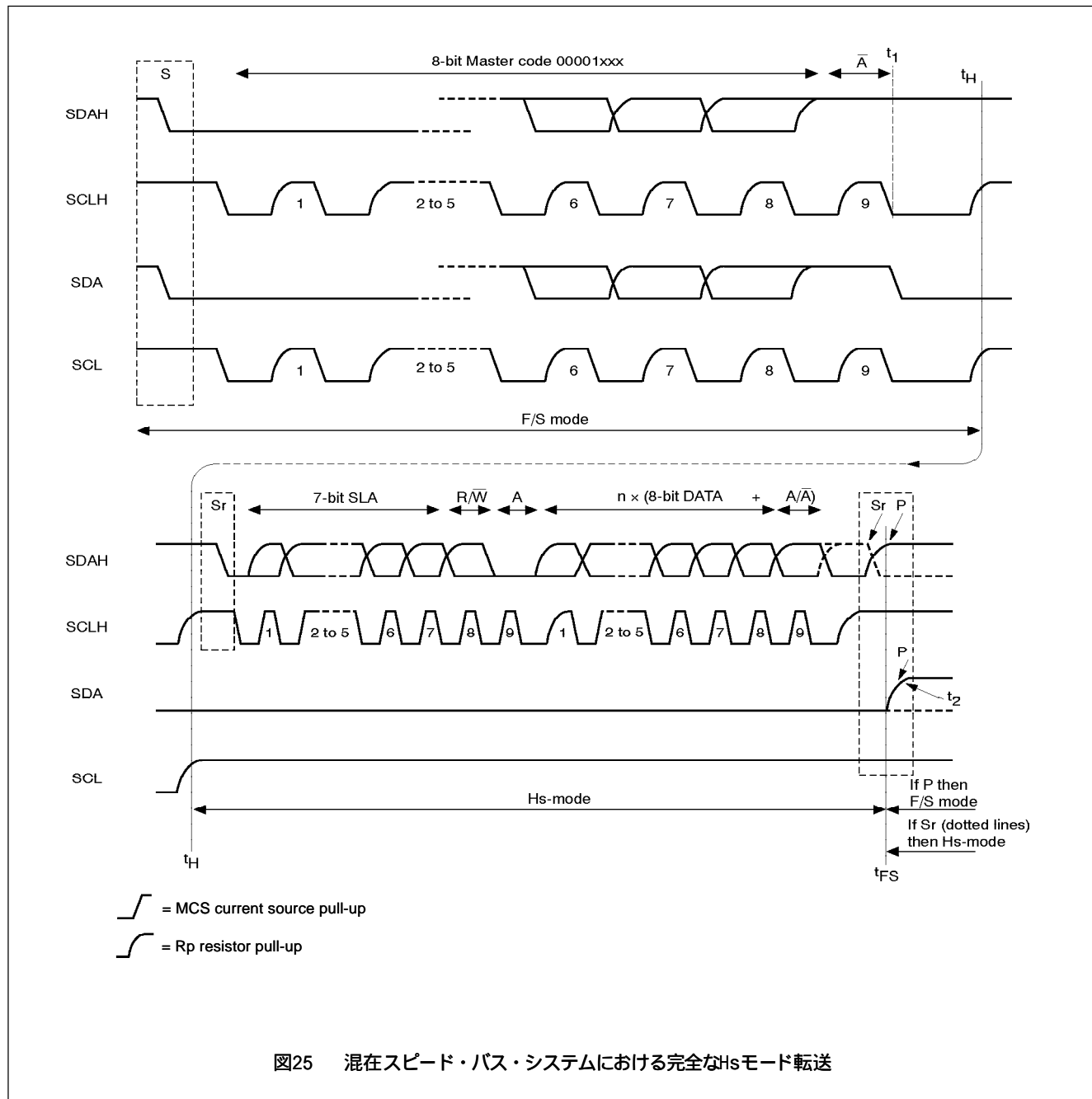
13.5.1 混在スピード・バス・システムにおけるF/Sモード転送

図24に示されているブリッジは該当するシリアル・バス・ラインと相互接続して、一つのシリアル・バス・システムを構築します。マスター・コード(00001XXX)が転送されませんので、電流ソース・プルアップ回路はディスエーブルされたままであり、全ての出力段はオープン・ドレインになっています。Hsモード・デバイスを含む全てのデバイスは、F/SモードI²Cバス仕様のプロトコル、フォーマットおよびスピードで 互いに通信を行います。

13.5.2 混在スピード・バス・システムにおけるHsモード転送

図25には、『START』条件、マスター・コードおよび非アクリッジ \bar{A} によって(F/Sモード・スピード)スタートした完全なHsモード転送のタイミング図が示されています。このタイミング図は2つの部分に分けられますが、一つのタイミング図の中で時点 t_H が両部分で共通になるように描かれています。

I²Cバス仕様書



マスター・コードはアクティブまたは非アクティブ・マスター内のブリッジによって認識されます(図24参照)。このブリッジは次の動作を行います。

1. t_1 と t_H の間(図25参照)で、SDAラインを V_{SS} にプルダウンするためにトランジスタTR3が閉じた後で、SDAおよびSCLラインを分離するためにトランジスタTR1がオープンになります。
2. SCLHとSCLの両方がHIGH(図25における t_H)になると、SCLHおよびSCLラインを分離するためにトランジスタTR1がオープンになります。Srの後、SCLHがLOWになる前にTR2がオープンになっている必要があります。

t_H の後、反復『START』条件(Sr)でHsモード転送が始まります。Hsモード転送の間、SCLラインは“H”定常状態レベルに、SDAラインは“L”の定常状態レベルになったままであり、これらは『STOP』条件(P)の転送のために準備されます。
各アクリツィ(A)または非アクリツィ(A)の後、アクティブ・マスターはその電流ソース・プルアップ回路をディスエーブルします。このことにより、他のデバイスのSCLH信号の“L”期間を延長することによって、そのシリアル転送の遅延が行なわれます。全てのデバイスが開放されてSCLH信号が“H”レベルに到達したとき、アクティブ・マスターによってその電流ソース・プルアップ回路を再びイネーブルにし、SCLH信号の立ち上がり時間の最後の部分をスピードアップ

I²Cバス仕様書

します。正常でない場合、例えば、バスのハングアップから回復するために、1 μ s以上の間SCLラインをプルダウンして、任意の時間にF/Sモード・デバイスによってブリッジ TR1およびTR2はクローズ、TR3はオープン を閉じることができます。

『STOP』条件でHsモード終了し、そのバス・システムをF/Sモードに戻します。SDAHにおいて『STOP』条件(P)が検出されたとき(図25における t_{FS})アクティブ・マスターはその電流ソースMCSをディセーブルします。このブリッジは、また、この『STOP』条件を認識して次のアクションをとります。

1. t_{FS} の後トランジスタTR2がクローズになって、SCLHをSCLに接続します。
この時、両方ともH'になっています。 t_{FS} の後トランジスタTR3がオープンになり、SDAラインを開放してプルアップ抵抗RpによってH'にプルアップされます。これはF/Sモード・デバイスの『STOP』条件です。『STOP』条件間でバス・フリーを保证するためにTR3は十分に速くオープンにならなければならず、最も速い次の『STOP』条件はファースト・モード仕様を満足しなければなりません(表5の t_{BUF} 参照)。
2. SDAがH'に到達した時(図25の t_2)トランジスタTR1がクローズしてSDAHをSDAに接続します。(注:全てのラインがH'の時相互接続が行われ、バス・ラインのスパイクを回避します。)ファースト・モードの仕様に従って、最小バス・フリー時間の間にTR1およびTR2がクローズされなければなりません(表5の t_{BUF} 参照)。

13.5.3 混在システムにおけるブリッジに対する タイミング要求

t_1 、 t_H および t_{FS} の時、ブリッジのアクションが非常に速いので、SDAHおよびSCLHラインに影響を及ぼさないということが図25から見て取れます。さらに、このブリッジはSDAおよびSCLラインに対するファースト・モード仕様の関連タイミング条件に適合していなければなりません。

14 10ビット・アドレス指定

このセクション(節)では、10ビットアドレス指定について記述し、7ビットアドレス指定のみが使用されているケースは省略しています。

10ビット・アドレス指定を利用して、I²Cバス仕様のフォーマットが変わることはありません。10ビット・アドレス指定では、『START』条件(S)または反復『START』条件(Sr)に続く第1バイトの最初の7ビットに、10.1節で説明している予約アドレス1111XXXの組み合わせを利用することができます。10ビット・アドレス指定によって、既存の7ビット・10ビット・アドレス指定が影響を受けることはありません。7ビット・アドレスを持つデバイスおよび10ビット・アドレス指定を持つデバイスを1つの同じI²Cバスを接続することが可能です。また、7ビットおよび10ビット・アドレス指定をF/Sモード・システムまたはHsモード・システムのいずれでも使用することができます。

予約アドレス・ビット1111XXXでは8種類の組み合わせが可能です。10ビット・アドレス指定では4種類の組み合わせ11110XXのみ利用可能となります。残りの4種類の組み合わせ11111XXは、将来のI²Cバス拡張が必要となる可能性があるため、それを考慮して予約されます。

14.1 第1および第2バイトのビットの定義

10ビットのスレーブ・アドレスは、『START』条件(S)または反復『START』条件(Sr)に続く最初の2バイトから構成されます。

第1バイトの8番目のビットはメッセージの方向を決定するR/Wビットです。第1バイトの最下位ビット(LSB)が0であるということは、マスターが選択されたスレーブからの情報を読み取ることを意味しています。

R/Wビットが0の場合には、第2バイトが10ビット・アドレス指定の残りの8ビット(XXXXXXX)を含みます。R/Wビットが1の場合にはスレーブからマスターへ送信された次のバイトが含まれます。

14.2 10ビット・アドレスのフォーマット

10ビット・アドレス指定を含むデータ転送では、さまざまな組み合わせの読み込み/書き出しの形式が考えられます。データ転送の形式として以下の例があげられます。

- マスター・トランスミッタからスレーブ・レシーバへの転送が10ビット・スレーブ・アドレス指定によって行なわれる場合、転送方向は変化しません(図26参照)。『START』条件に続いて10ビット・アドレス指定が行なわれる時、各スレーブはスレーブ・アドレスの第1バイト中の最初の7ビット(11110XX)を自分自身のアドレスと比較し、8番目のビット(R/W)方向ビットが0であるかどうかを調べます。この時、複数のデバイスがアドレスの一致を確認し、それぞれがアクリッジを行なう場合もあります(A1)一致を確認した全てのスレーブは、スレーブ・アドレスの第2バイト中の8ビット(XXXXXXX)を自分のアドレスと比較します。しかし、この時に適合を確認してアクリッジを行なうことができるスレーブは1つだけになります(A2)。その後、このスレーブが『STOP』条件(P)または異なるスレーブ・アドレスに先行する反復『START』条件(Sr)を受け取るまで、マスターによるこのスレーブへのアドレス指定が継続します。
- 10ビット・アドレス指定によってマスター・レシーバがスレーブ・トランスミッタからのデータを読む場合、2つ目のR/Wビット(図27)の後で転送方向が変更されます。アクリッジA2が送られるまでの手順は、先に説明したマスター・トランスミッタがスレーブ・レシーバにアドレスする場合と同様です。反復『START』条件(Sr)が生成された時、アドレスの一致を確認したスレーブは以前にアドレス指定されたことを記憶しています。一致スレーブは、Srに続くスレーブ・アドレスの第1バイトの最初の7ビットが『START』条件(S)後に、続いたものと同じかどうかを調べ、次いで第8ビット(R/W)が1であるかどうかを確認します。もし、一致した場合には、このスレーブは自分が送信側としてアドレスされたと考えてアクリッジA3を送ります。マスターによるスレーブ・トランスミッタへのアドレス指定は、スレーブが『STOP』条件(P)あるいは異なるスレーブ・アドレスに先行する反復『START』条件(Sr)が生成された時、他の全てのスレーブ・デバイスも同様にスレーブ・アドレスの第1バイトの最初の7ビット(11110XX)を自分のアドレスと比較し、第8ビット(R/W)の状態を調べます。しかし、R/W=1であるため(10ビット・デバイスの場合)またはスレーブ・アドレス11110XXが適合しないため(7ビット・デバイスの場合)、他のスレーブが応答することはありません。
- 混合フォーマット。マスターがスレーブに対してデータを転送した後、同じスレーブからのデータを読みます(図28)。1つのマスターがバスを常に独占します。送信方向は2番目のR/Wビットが送られた後に変更されます。

I²Cバス仕様書

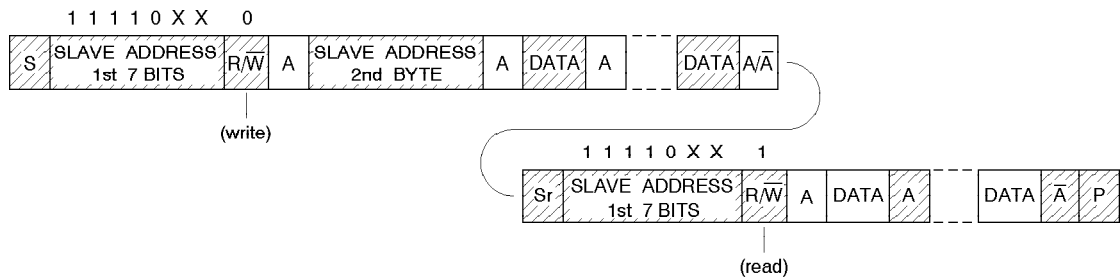


図28 複合フォーマット。マスターが10ビット・アドレスを持つスレーブをアドレス指定した後、このスレーブにデータを転送し、次にマスターがスレーブからのデータを読む場合

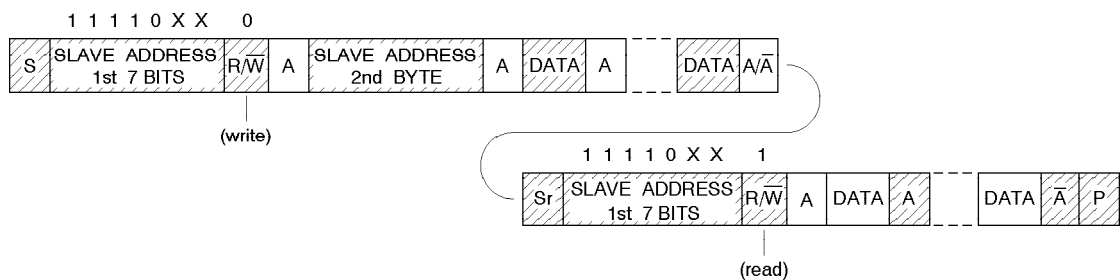


図29 複合フォーマット。マスターが10ビット・アドレスを持つスレーブにデータを送る場合(共に10ビット・アドレス)

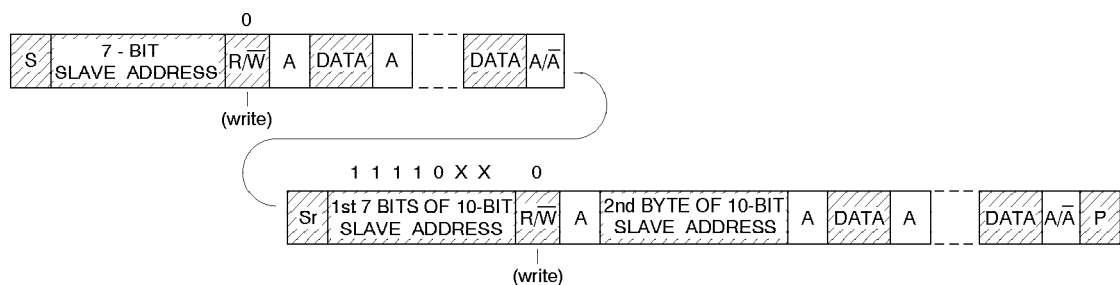


図30 複合フォーマット。マスターが2つのスレーブにデータを送る場合(片方が7ビット・アドレス、もう一方は10ビット・アドレス)

I²Cバス仕様書

14.3 10ビット・アドレス指定されたゼネラル・コール・アドレスおよび開始(START)バイト

I²Cバスにおける10ビット・アドレス指定では、通常、『START』条件(S)の後に続く最初の2バイトによって、どのスレーブがマスターに選択されるかが決定されます。唯一の例外が、マスター・トランスミッタが全デバイスに対してアドレスを行なう時の「ゼネラル・コール・アドレス」00000000(00H)です。10ビット・アドレス指定を持つスレーブ・デバイスは、スレーブが7ビット・アドレス指定を持ったデバイスと同じような方法で「ゼネラル・コール・アドレス」に反応します(10.1.1節参照)。

「ゼネラル・コール・アドレス」の後、ハードウェア・マスターが10ビット・アドレスを送信します。この場合、この「ゼネラル・コール・アドレス」の後にマスター・トランスミッタのアドレスを含む連続した2つのバイトが続きます。このフォーマットを図16に示します。この内、最初のデータ・バイトにマスターのアドレスの8つの最下位ビットが含まれます。(マスター・アドレスには11110XXXが入ります。)

7ビット・アドレス指定の場合と同様に(10/1/2参照) 10ビット・アドレス指定の前に『START』バイト00000001(01H)が送られることがあります。

15 I/Oステージおよびバス・ラインの電氣的仕様およびタイミング

15.1 標準およびファースト・モード・デバイス

I²CバスのI/Oレベル、I/O電流、スパイク抑圧、出力スロープ・コントロールおよびピンの静電容量を表4に示します。表5にはI²Cバスのタイミングを記載しています。図31はI²Cバスのタイミングの定義を示したものです。

表5に示すSCLクロックのHおよびL状態の最小ホールド・タイムによって、標準モードの最大転送レートである100kbit/sおよびファースト・モードの最大転送レートである400kbit/sが決定されます。標準モードあるいはファースト・モードを問わず、どのI²Cバス・デバイスも、上記のスピードでそのままデータ送信または受信を行なう能力を持つか、あるいは、8節で述べたクロック同期方式(マスターを強制的に待ち受け状態にし、SCL信号のL状態のホールド時間を延長する)を利用することにより、それぞれの最大ビット・レートでの転送に対応できなければなりません。もちろん後者の場合、転送スピードは遅くなります。

I²Cバス仕様書表4 I²Cバス・デバイスのSDLおよびSCL I/O段の特性

パラメータ	記号	標準モード		高速モード		単位
		MIN.	MAX.	MIN.	MAX.	
“L”レベル入力電圧: 入力レベルが一定な場合 入力レベルがV _{DD} に応じて変化する場合	V _{IL}	-0.5	1.5	n/a	n/a	V
		-0.5	0.3V _{DD}	-0.5	0.3V _{DD}	V
“H”レベル入力電圧: 入力レベルが一定な場合 入力レベルがV _{DD} に応じて変化する場合	V _{IH}	3.0	⁽²⁾	n/a	n/a	V
		0.7V _{DD}	⁽²⁾	0.7V _{DD} ⁽¹⁾	⁽²⁾	V
シュミット・トリガ入力のヒステリシス: V _{DD} > 2V V _{DD} < 2V	V _{hys}	n/a	n/a	0.05V _{DD}	–	V
		n/a	n/a	0.1V _{DD}	–	V
“L”レベル出力電圧(オープン・ドレインまたはオープン・コレクタ):シンク電流3mA時 V _{DD} > 2V V _{DD} < 2V	V _{OL1} V _{OL3}	0	0.4	0	0.4	V
		n/a	n/a	0	0.2V _{DD}	V
バスの静電容量が10pF ~ 400pF(V _{OL2} の並列抵抗を通して最大6mAまで)の場合、V _{IHmin} からV _{ILmax} への出力立ち下り時間:	t _{of}	–	250 ⁽⁴⁾	20 + 0.1C _b ⁽³⁾	250 ⁽⁴⁾	ns
入力フィルタによって抑圧されるスパイクのパルス幅	t _{SP}	n/a	n/a	0	50	ns
入力電圧0.1 ~ 0.9V _{DDmax} 時、各I/Oピンの入力電流	I _i	-10	10	-10 ⁽⁵⁾	10 ⁽⁵⁾	μA
各I/Oピンの静電容量	C _i	–	10	–	10	pF

注

- 想定されたI²Cバス・システム・レベルに適合しない非標準の電源電圧を使用しないデバイスによって、それらの入力レベルがプルアップ抵抗R_pが接続されているV_{DD}電圧に一致するようにはなりません。
- 最大V_{IH} = V_{DDmax} + 0.5V
- C_b = 1つのバス・ラインの静電容量(単位pF)
- 表5で示されているSDAおよびSCL・バス・ラインの最大t_d(300ns)は出力段での最大t_{of}(250ns)より大きくなります。このことによって、図36に示すように、最大規定t_Fを超えることなくSDA/SCLバス・ラインの間に直列保護抵抗(R_s)を接続することが可能になります。
- V_{DD}の供給が切れた時に、ファースト・モード・デバイスのI/OピンがSDAおよびSCLバス・ラインを妨害しないようにする必要があります。

n/a = 規定せず

I²Cバス仕様書表5 F/SモードI²Cバス・デバイス⁽¹⁾に対するSDAおよびSCLバス・ラインの特性

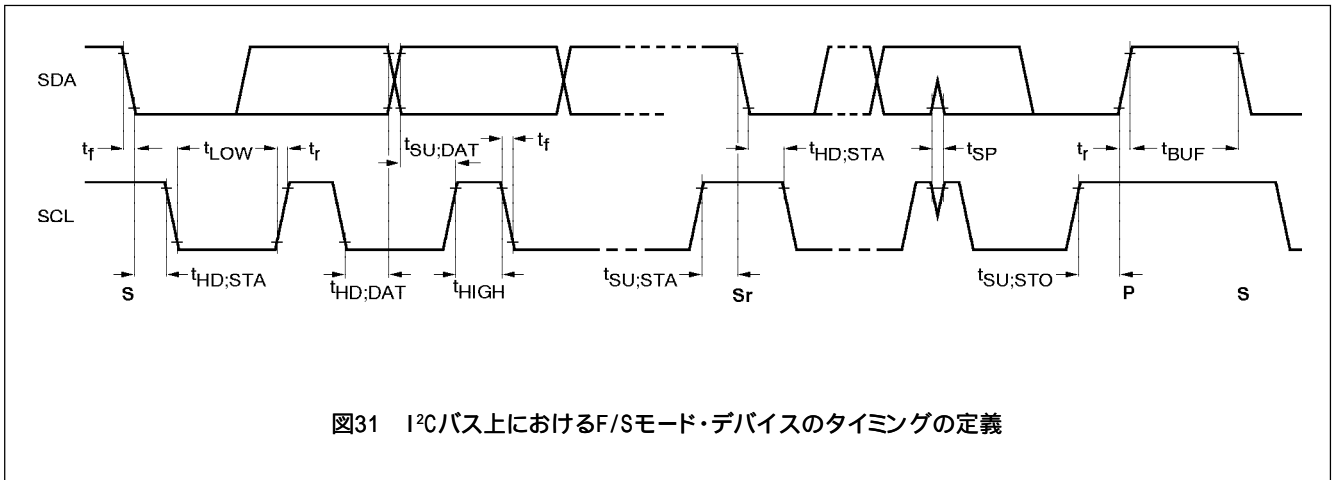
パラメータ	記号	標準モード		高速モード		単位
		MIN.	MAX.	MIN.	MAX.	
SCLクロック周波数	f _{SCL}	0	100	0	400	kHz
ホールド時間(反復『START』条件 この期間の後、最初のクロック・パルスを生成)	t _{HD;STA}	4.0	–	0.6	–	μs
SCLクロックの‘L’期間	t _{LOW}	4.7	–	1.3	–	μs
SCLクロックの‘H’期間	t _{HIGH}	4.0	–	0.6	–	μs
反復『START』条件のセットアップ時間	t _{SU;STA}	4.7	–	0.6	–	μs
データ・ホールド時間: CBUSコンパチのマスター用(注、10.1.3参照) I ² Cバス・デバイス用	t _{HD;DAT}	5.0 0 ⁽²⁾	– 3.45 ⁽³⁾	– 0 ⁽²⁾	– 0.9 ⁽³⁾	μs μs
データ・セットアップ時間	t _{SU;DAT}	250	–	100 ⁽⁴⁾	–	ns
SDAおよびSCL信号の立ち上がり時間	t _r	–	1000	20 + 0.1C _b ⁽⁵⁾	300	ns
SDAおよびSCL信号の立ち下がり時間	t _f	–	300	20 + 0.1C _b ⁽⁵⁾	300	ns
『STOP』条件のセットアップ時間	t _{SU;STO}	4.0	–	0.6	–	μs
『STOP』条件と『START』条件との間のバス・ フリー時間	t _{BUF}	4.7	–	1.3	–	μs
それぞれのバス・ラインの容量性負荷	C _b	–	400	–	400	pF
各接続デバイスの‘L’レベルにおけるノイズ・ マージン(ヒステリシスを含む)	V _{nL}	0.1V _{DD}	–	0.1V _{DD}	–	V
各接続デバイスの‘H’レベルにおけるノイズ・ マージン(ヒステリシスを含む)	V _{nH}	0.2V _{DD}	–	0.2V _{DD}	–	V

注

- 全ての値はV_{IHmin}およびV_{ILmax}レベル基準(表4参照)
- デバイスは内部的にSDA信号に対して300ns以上のホールド時間(SCL信号のV_{IHmin}に比較して)を有し、SCLの立ち下りエッジでの不確定な状態を回避しなければなりません。
- 最大t_{HD;DAT}は少なくとも、デバイスのSCL信号の‘L’期間(t_{LOW})を延長していないということを満たしていなければなりません。
- ファースト・モードI²Cバス・デバイスを標準モードI²Cバス・システムに使用することができますが、要求される条件t_{SU;DAT} = 250nsを満足しなければなりません。このことは、自動的に、そのデバイスがSCL信号の‘L’期間を延長しない状態になります。あるデバイスがSCL信号の‘L’期間を延長しない場合には、SCLラインが開放されよりt_{rmax} + t_{SU;DAT} = 1000 + 250 = 1250ns(標準モード次のデータ・ビットをI²Cバス仕様に従って)以前に、次のデータをSDAラインに出力しなければなりません。
- C_b = 1つのバス・ラインのトータル容量(単位pF)、Hsモード・デバイスと混在された場合には表6に従って、より高速の立ち下りも許容できます。

n/a = 規定せず

I²Cバス仕様書



I²Cバス仕様書

15.2 Hsモード・デバイス

I²CバスHsモード・デバイスのI/Oレベル、I/O電流、スパイク抑圧、スロープ・コントロールおよびピン容量を表6に示します。バス・ラインのHレベルとLレベルのノイズ・マージンは、F/SモードI²Cバス・デバイスで規定した値と同じです。

図32にHsモード・タイミングに関する全てのタイミング・パラメータを示します。『normal』開始条件SはHsモードにはありません。アドレス・ビット、R/Wビット、アクノリッジ・ビットおよびDATAビットのタイミング・パラメータは全て同じ値です。外部Rpは内部電流源を使用しないでSCLHをプルアップする必要がありますので、アクノリッジ・ビット後の第1SCLHクロック信号の立ち上がりエッジのみが異なります。

バス・ラインのHsモード・タイミング・パラメータを表7で規定しています。SCLHクロック信号のHおよびLの最小期間ならびに最大立ち上がり時間、立ち下り時間によって最大ビット・レートが決定されます。

内部発生の上昇信号のLおよびHレベルの期間が、それぞれ、200nsおよび100nsであればHsモード・マスターは、3.4Mbit/sの最大ビット・レートのと、外部SCLHクロック・パルス(立ち上がりおよび立ち下り時間を考慮)に対する要求条件を満足します。従って、Hsモード・マスターによってSCLH信号を生成するために10MHzの基本周波数または10MHzの高調波周波数を使用することができます。SCLHクロックの最大HおよびL期間には制限がなく、最低ビット・レートにも制限がありません。

タイミング・パラメータは、各バス・ラインについて100pFまでの容量性負荷の値に無関係であり、最大3.4Mbit/sまでのビット・レートが可能です。バス・ラインの負荷容量値がこれより高くなると、ビット・レートが徐々に低下します。400pFの容量性バス負荷の場合のタイミング・パラメータは表7で規定されており、そのときの最大ビット・レートは1.7Mbit/sになっています。100pFと400pFの間の容量性バス負荷の場合、タイミング・パラメータは直線的に補間される必要があります。立ち上がりおよび立ち下り時間は、送信ラインSDAHおよびSCLHの最大伝搬遅延時間に依存しており、開放された終端からの反射を回避しています。

I²Cバス仕様書表6 HsモードI²Cバス・デバイスのSDAH、SCLH、SDAおよびSCL I/O段の特性

パラメータ	記号	Hsモード		単位
		最大	最小	
"L"レベル入力電圧	V _{IL}	-0.5	0.3V _{DD} ⁽¹⁾	V
"H"レベル入力電圧	V _{IH}	0.7V _{DD} ⁽¹⁾	V _{DD} + 0.5 ⁽²⁾	V
シュミット・トリガー入力のヒステリシス	V _{hys}	0.1V _{DD} ⁽¹⁾	–	V
"L"レベル出力電圧 (オープン・ドレイン) SDAH、SDAおよびSCLHにおいて 3mAのシンク電流 V _{DD} > 2V V _{DD} < 2V	V _{OL}	0 0	0.4 0.2V _{DD}	V V
トランスファー・ゲートのON抵抗、3mAにおいてSDAとSDAHとの間またはSCLとSCLHとの間のV _{OL} レベルでの両電流方向	R _{onL}	–	50	½
トランスファー・ゲートのON抵抗、SDAとSDAHとの間またはSCLとSCLHとの間、両方ともV _{DD} レベル	R _{onH} ⁽²⁾	50	–	k½
SCLH電流源のプルアップ電流。 0.3V _{DD} と0.7V _{DD} との間のSCLH出力レベルに適用。	I _{CS}	3	12	mA
10 ~ 100pFの容量性負荷を持ったSCLHにおける出力立ち上がり時間 (電流源はイネーブル) および立ち下り時間	t _{rCL} , t _{fCL}	10	40	ns
3mAの外部プルアップ電流源および400pFの容量性負荷を持ったSCLHにおける出力立ち上がり時間 (電流源はイネーブル) および立ち下り時間	t _{rCL} ⁽³⁾ , t _{fCL} ⁽³⁾	20	80	ns
10 ~ 100pFの容量性負荷を持ったSDAHにおける出力立ち下り時間	t _{fDA}	20	80	ns
400pFの容量性負荷を持ったSDAHにおける出力立ち下り時間	t _{fDA} ⁽³⁾	40	160	ns
入力フィルタによって抑圧されるSDAHおよびSCLHにおけるスパイクのパルス幅	t _{SP}	0	10	ns
0.1V _{DD} と0.9V _{DD} との間の入力電圧を持った各I/Oピンの入力電流	I _I ⁽⁴⁾	–	10	µA
各I/Oピンの静電容量	C _i	–	10	pF

注

1. 規定された I²Cバス・システム・レベルに準拠しない非標準の電源電圧を使用するデバイスにおいて、その入力レベルはプルアップ抵抗R_pが接続されるV_{DD}電圧に比例します。
2. レベル・シフターの機能を持つデバイスは、SDLおよびSCLにおいて5.5Vの最大入力電圧まで許容する必要があります。
3. 100pFと400pFとの間の容量性バス負荷に対して、立ち上がり時間および立ち下り時間は直線的に補間されなければなりません。
4. 電源電圧がスイッチ・オフされたときには、Hsモード・スレープ・デバイスのSDAHおよびSCLH I/Oはフローティング状態になっていなければなりません。電流源出力回路には、通常、V_{DD}との間にクリッピング・ダイオードがありますが、この回路があるために、Hsモード・マスター・デバイスのSCLHまたはSDAH I/O段にとって上記のことは必ずしも必須な条件ではありません。このことは、SDAHおよびSCLHラインに影響を与えることなしにHsモード・マスター・デバイスの電源電圧をスイッチ・オフする必要がないということを意味しています。

I²Cバス仕様書表7 HsモードI²Cバス・デバイスのSDAH、SCLH、SDAおよびSCLバス・ラインの特性⁽¹⁾

パラメータ	記号	C _b = 100 pF(最大)		C _b = 400 pF ⁽²⁾		単位
		最小	最大	最小	最大	
SCLクロック周波数	f _{SCLH}	0	3.4	0	1.7	MHz
開始条件のセットアップ時間(繰り返し)	t _{SU,STA}	160	–	320	–	ns
開始条件のホールド時間(繰り返し)	t _{HD,STA}	160	–	320	–	ns
SCLクロックの'L'期間	f _{LOW}	160	–	320	–	ns
SCLクロックの'H'期間	t _{HIGH}	60	–	120	–	ns
データ・セットアップ時間	t _{SU,DAT}	10	–	10	–	ns
データ・ホールド時間	t _{HD,DAT}	0 ⁽³⁾	70	0 ⁽³⁾	150	ns
SCLH信号の立ち上がり時間	f _{rCL}	10	40	20	80	ns
アクノリッジ・ビット後のSCLH信号の立ち上がり時間	f _{rCL1}	20	80	40	160	ns
SCLH信号の立ち下がり時間	f _{rCL}	10	40	20	80	ns
SDAH信号の立ち上がり時間	t _{rDA}	20	80	40	160	ns
SDAH信号の立ち下がり時間	t _{rDA}	20	80	40	160	ns
停止条件のセットアップ時間	t _{SU,STO}	160	–	320	–	ns
SDAHおよびSCLHラインの容量性負荷	C _b	–	100	–	400	pF
SDAH+SDAラインおよびSCLH+SCLラインの容量性負荷	C _b	–	400	–	400	pF
各接続デバイスの'L'レベル・ノイズ・マージン(ヒステリシスを含む)	V _{nL}	0.1V _{DD}	–	0.1V _{DD}	–	V
各接続デバイスの'H'レベル・ノイズ・マージン(ヒステリシスを含む)	V _{nH}	0.2V _{DD}	–	0.2V _{DD}	–	V

注

1. 全ての値はV_{IHmin}およびV_{ILmax}レベル基準(表6参照)
2. 100pF ~ 400pFのバス・ライン負荷に対して、タイミング・パラメータは直線的に補間されなければなりません。
3. 一つのデバイスにおいて、SCLH信号の立ち下りエッジのV_{IH}とV_{IL}との間の規定できない箇所をブリッジするために、データ・ホールド・ラインを内部で供給しなければいけません。SCLH信号の立ち下りエッジの入力回路のスレッシュホールド値をできるだけ小さくして、このホールド時間を最小にする必要があります。

I²Cバス仕様書

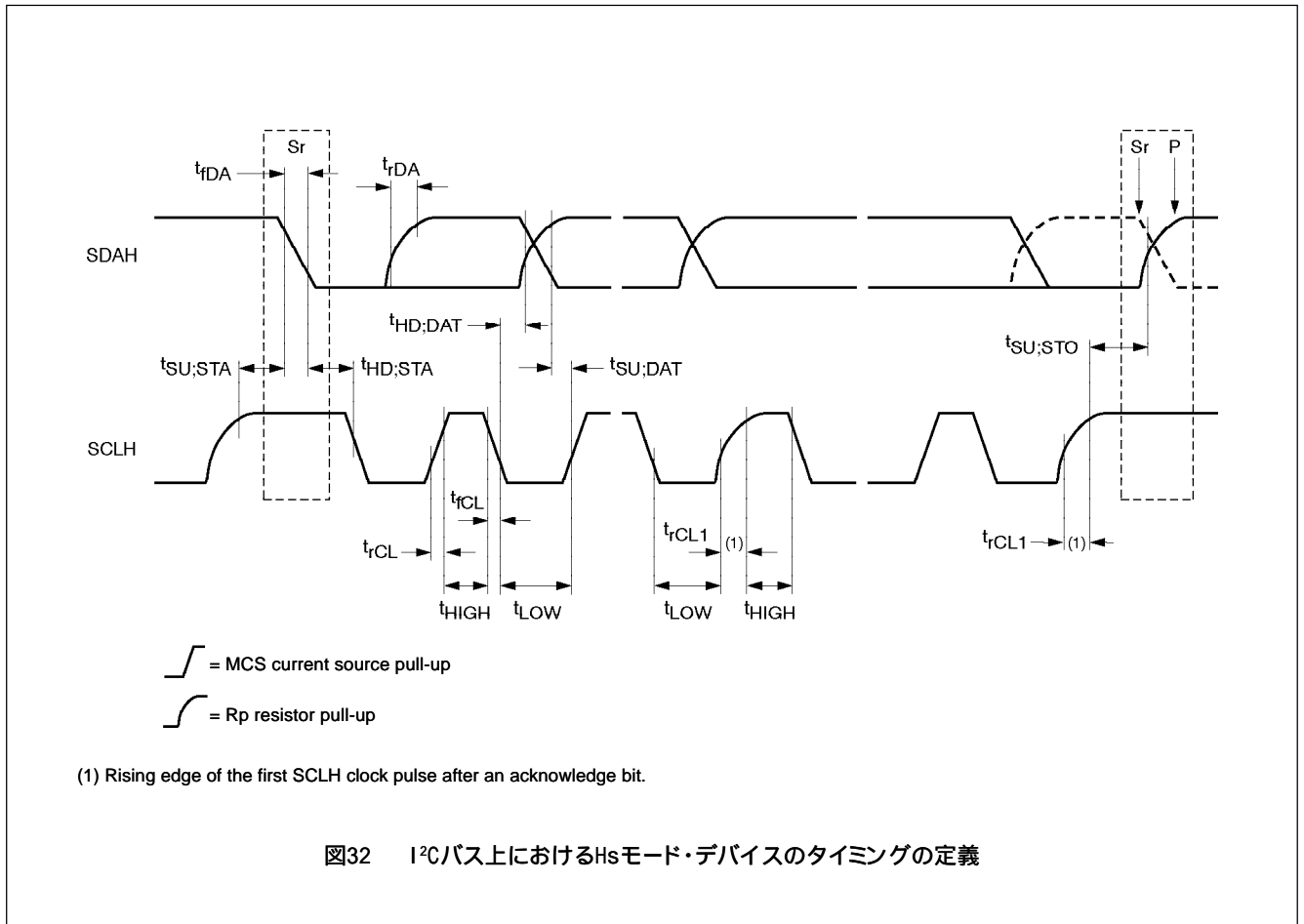


図32 I²Cバス上におけるHsモード・デバイスのタイミングの定義

16 I²Cバス・デバイスとバス・ライン間の電気的接続

I²Cバス・デバイスのI/Oに関する電気的仕様およびこれらに接続されたバス・ラインの特性は15節に記述しています。

1.5Vおよび3Vの固定入力レベルを持ったI²Cバス・デバイスには、それぞれ独自の最適な電源電圧があります。5V ± 10%電源にはプルアップ抵抗を接続しなければなりません(図33)。V_{DD}に関連した入力レベルを持ったI²Cバス・デバイスは共通の電源ラインを持ち、そのラインにはプルアップ抵抗を接続する必要があります(図34)。

固定入力レベルを持ったデバイスがV_{DD}に関連した入力レベルと複合された場合には、後者は5V ± 10%の共通電源ラインに接続され、かつ図35に示されるように、SDAおよびSCLピンにプルアップ抵抗を接続する必要があります。

新しい高速およびHsモード・デバイスは、表4および表6で規定されたように、入力レベルに関連した電源電圧を持っていなければなりません。

入力レベルは次の方法で規定されます。

- “L”レベルのノイズ・マージンが0.1V_{DD}である。
- “H”レベルのノイズ・マージンが0.2V_{DD}である。
- 図36に示されたように、SDAおよびSCLライン上の高電圧スパイク(例えば、テレビ受像管のフラッシュ・オーバーによって発生)を回避するために、300 Ωのシリーズ抵抗(R_s)を用いることができます。

I²Cバス仕様書

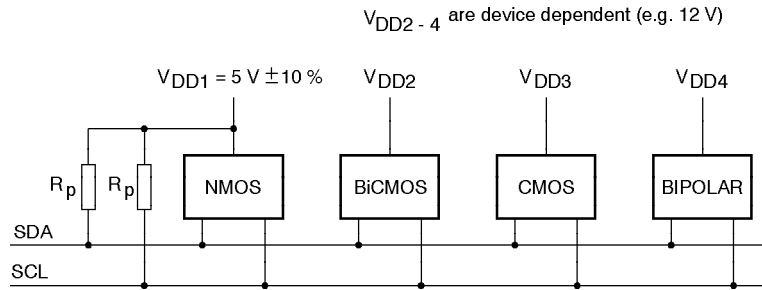


図33 I²Cバスに接続された固定入力レベル・デバイス

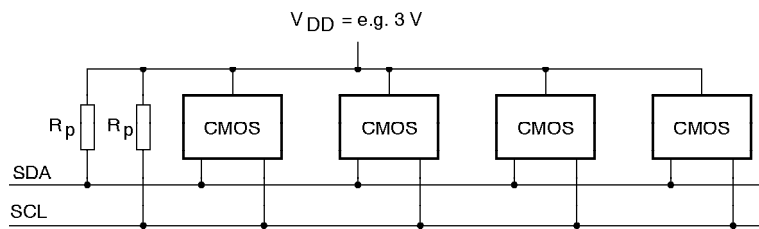


図34 I²Cバスに接続された、広い電源電圧レンジを持つデバイス

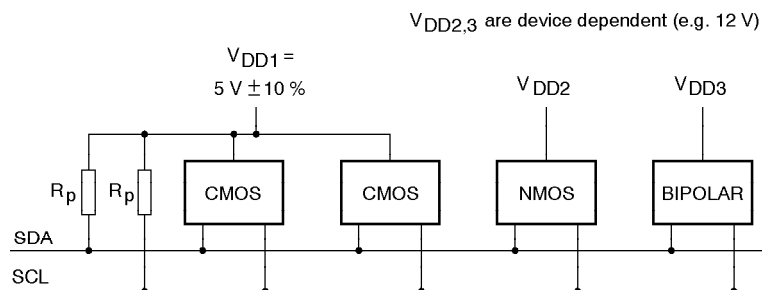
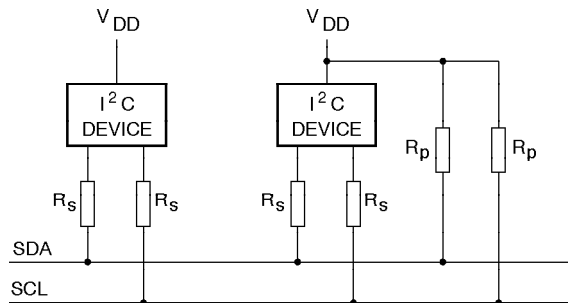


図35 I²Cバス上で固定入力レベル・デバイス(電源 $V_{DD2,3}$)と混合された V_{DD} (電源 V_{DD1})に関連した入力レベルを持ったデバイス

I²Cバス仕様書図36 高電圧スパイクに対する保護用のシリーズ抵抗 (R_s)

16.1 標準モードI²Cバス・デバイスの抵抗 R_p と R_s の 最大値および最小値

標準モードI²Cバス・システムに対して、図35内の抵抗 R_p および R_s の値は次のパラメータに依存します。

- ・電源電圧
- ・バスの静電容量
- ・接続デバイス数(入力電流 + リーク電流)

出力段にて $V_{OLmax}=0.4V$ での規定最小シンク電流が $3mA$ なので、電源電圧によって R_p の最小値が制限されます。 V_{DD} と R_{pmin} との関係を図37に示します。“L”レベルのときの $0.1V_{DD}$ の必要ノイズ・マージンにより、 R_s の最大値が制限されます。 R_{smax} と R_p との関係を図38に示します。

バス容量はワイヤー、接続部およびピンのトータル静電容量です。この容量により立ち上がり時間が規定されているため、 R_p の最大値が制限されます。 R_{pmax} とバス容量との関係を図39に示します。

各入出力接続の最大“H”レベル入力電流の規定最大値は $10\mu A$ です。“H”レベルのときの必要ノイズ・マージンが $0.2V_{DD}$ であるので、この入力電流によって R_p の最大値が制限されます。トータル“H”レベル入力電流と R_{pmax} との関係を図40に示します。

I²Cバス仕様書

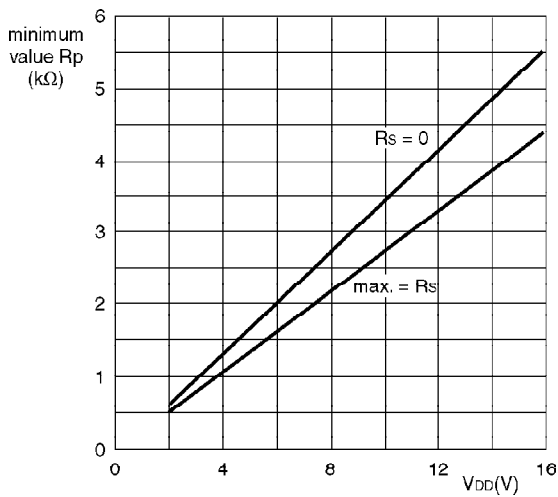


図37 Rs値をパラメータとしたときのRpの最小値と供給電圧との関係

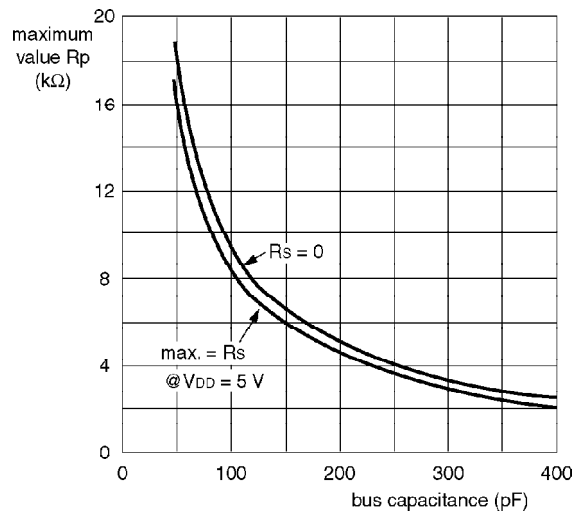


図39 標準モードI²CバスにおけるRpの最大値とバス容量との関係

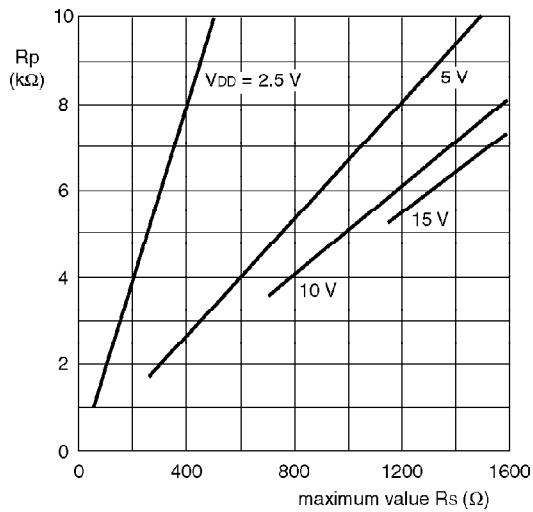


図38 供給電圧をパラメータとしたときのRsの最大値とRpとの関係

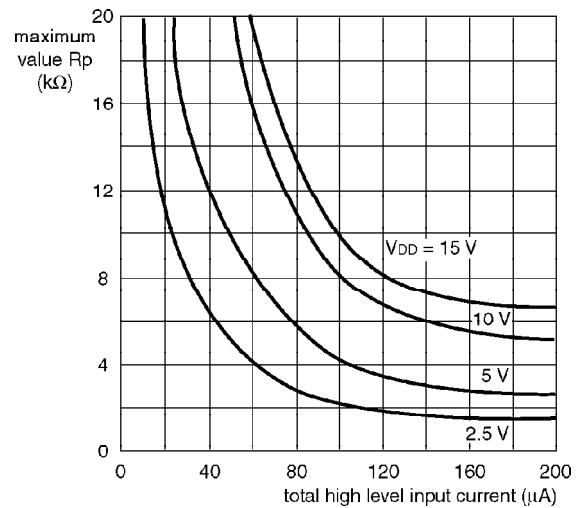


図40 供給電圧をパラメータとしたときの“H”レベル合計入力電流とRpの最大値との関係

I²Cバス仕様書

17 アプリケーション情報

17.1 ファースト・モードI²Cバス・デバイスの出力段の
ロープ制御

I²Cバス・デバイスのI/O部の電気的仕様およびそこに接続されて
いるバス・ラインの特性は15節に記述されています。

図41および図42は、それぞれ、CMOSおよびバイポーラICにおける出
力段でのスロープ・コントロール例を示したものです。立ち下りエッ
ジのスロープはミラー(Miller)コンデンサ(C1)および抵抗(R1)に
よって決定されます。C1とR1の標準的な値が図に表記されていま
す。表4において、出力立ち下り時間 t_{of} の許容誤差が大きいという
ことは、回路設計がそれほど大きく影響しないということを示して
います。立ち下り時間は、外部バス負荷(Cb)と外部並列抵抗
(Rp)によってわずかに影響を受けるのみです。しかし、表5に示す
立ち上がり時間(t_r)は、主としてバスの容量性負荷と並列抵抗の
値によって決定されます。

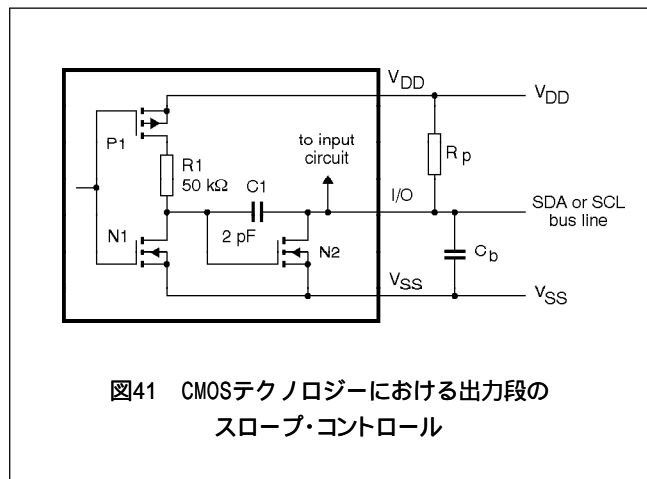


図41 CMOSテクノロジーにおける出力段の
スロープ・コントロール

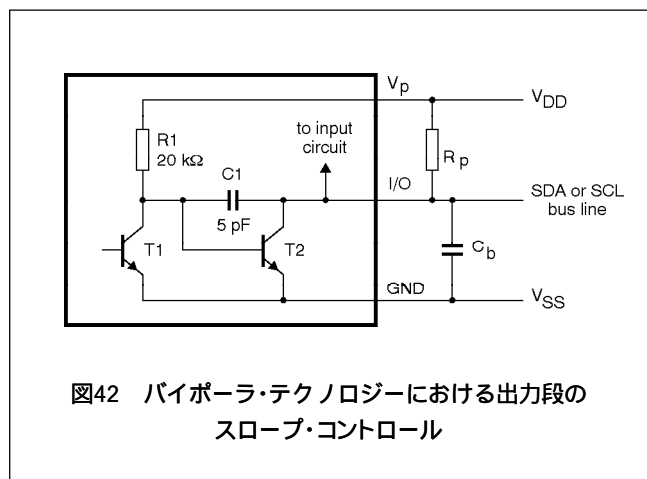


図42 バイポーラ・テクノロジーにおける出力段の
スロープ・コントロール

17.2 ファースト・モードI²Cバス・デバイスのスイッチ付き
プルアップ回路

並列抵抗Rpの最小値は供給電圧(VDD)および最大出力Lレベル
によって決定されます(16.1節参照)。例えば、供給電圧VDD = 5V ±
10%、3mAでVOLmax = 0.4Vの場合、Rpmin = (5.5 - 0.4) / 0.003 = 1.7k と
なります。このRp値の場合、図43から分かるように、最大tr値300ns
という条件を満たすためのバスの最大静電容量は約200pFになり
ます。もし、バスの静電容量がこれを超える場合には、図43に示す
スイッチ付きプルアップ回路を利用することができます。

図43のスイッチ付きプルアップ回路は、供給電圧VDD = 5V ± 10%、最
大容量性負荷が400pFの場合のためのものです。この回路はバス
レベルによってコントロールされているため、スイッチング・コン
トロール信号を別途追加する必要はありません。立ち上がり/立ち
下がり時、HCT4066内のバイテラル・スイッチは、0.8V ~ 2.0Vのバス
レベルで並列抵抗Rp2をON、OFFコントロールします。抵抗Rp1およ
びRp2を組み合わせる使用することによって、バス・ラインを最大規
定立ち上がり時間(tr)である300ns以内に引き上げることが可能
になります。コントロールを行っているI²Cバス・デバイスの最大シン
ク電流が、VOL2 = 0.6Vの時6mA、または、VOL1 = 0.4Vの時3mAをそれぞれ
超えることはありません。

直列抵抗Rsは必ずしも必要ではありません。これらの直列抵抗は
I²Cバス・デバイスのI/Oステージをバス・ライン上での高電圧スパ
イクから保護するため、またはバス・ライン信号のクロストークやア
ンダーシュート(目的の場所まで届かないこと)を抑えるために利用
します。Rsの最大値は、Rp2をオフにするためにバス・ラインをLレ
ベルに設定された状態で、この抵抗を介した電圧降下の最大許
容値によって決定します。

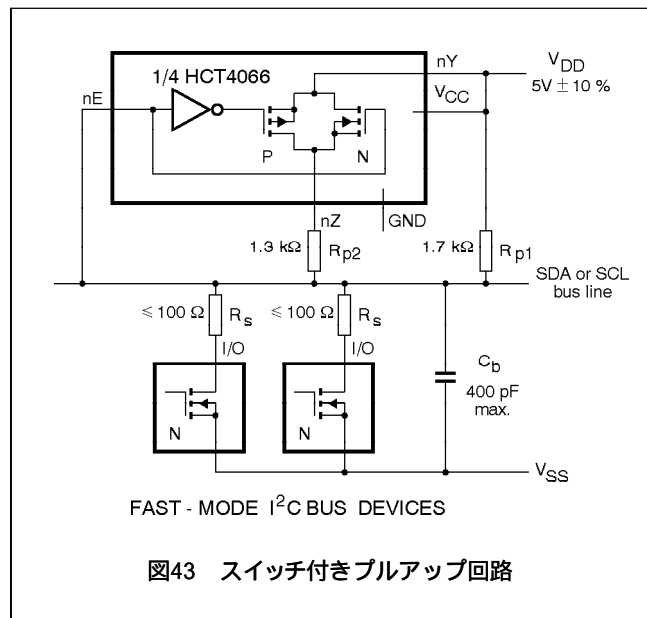


図43 スwitch付きプルアップ回路

I²Cバス仕様書

17.3 バス・ラインの配線パターン

一般にバス・ラインへの、またはバス・ラインからの干渉やクロストークが最小になるような配線が必要です。並列デバイスのインピーダンスが比較的高いため、バス・ラインは H¹レベル時にクロストークや干渉を最も受けやすくなります。

PCBまたはリボン・ケーブル上のバス・ラインの長さが10cmを超え、かつV_{DD}やV_{SS}ラインが含まれている場合には、以下のような配線パターンにする必要があります。

SDA _____
 V_{DD} _____
 V_{SS} _____
 SCL _____

V_{SS}ラインのみが含まれている場合には、以下の配線パターンになります。

S D A _____
 V_{SS} _____
 S C L _____

これらの配線パターンでは、SDAおよびSCLの容量性負荷が同一となります。V_{SS}またはV_{SS}レイヤーを持つPCBが使われている場合は、V_{SS}およびV_{DD}ラインを省略することができます。

バス・ラインがツイスト線である場合には、各バス・ラインに必ずV_{SS}リターンをツイストする必要があります。あるいは、その代わりに、SCLラインにV_{SS}リターン、SDAラインにV_{DD}リターンをツイストしてもかまいません。後者の場合には、ツイスト線の両端でV_{SS}ラインとV_{DD}ラインを切り離すためにコンデンサが必要になります。

バス・ラインがシールド付きの場合(V_{SS}にシールド接続されている場合)は、干渉を最小に抑えることができます。しかし、クロストークを最小に抑えるために、SDAラインとSCLラインの間でシールド付きケーブルに低容量のカップリング・コンデンサを付けておく必要があります。

17.4 ファースト・モードI²Cバス・デバイスの抵抗RpおよびRsの最大値と最小値

ファースト・モードI²Cバスに接続された抵抗RpおよびRsの最大値と最小値は16.1節の表37、表38および表40から計算することができます。ファースト・モードI²Cバスの立ち上がり時間(t_r)は標準モードに比べて小さいので、バスの静電容量によって決定されるRpの値は図39で示された値より小さくなります。ファースト・モードI²Cバスにおけるバスの静電容量(C_b)とRpの最大値との関係を図39(RsとRpの関係)の代わりに図44に示します。

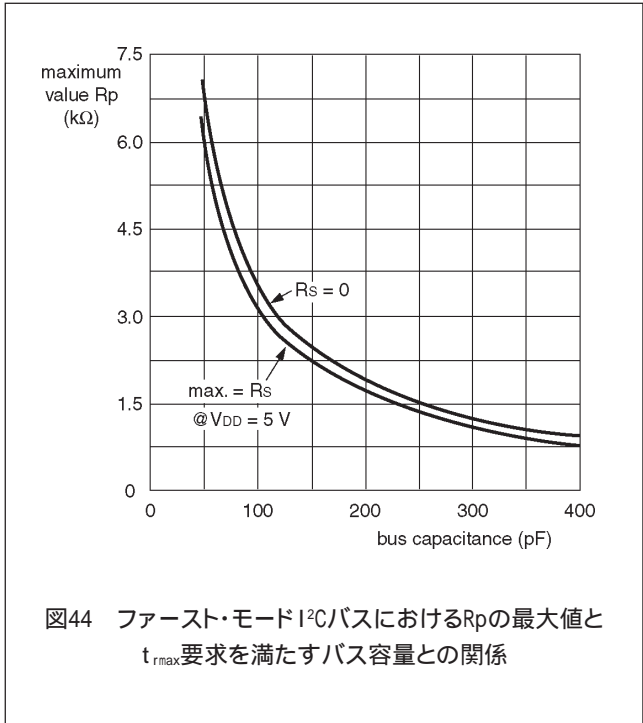


図44 ファースト・モードI²CバスにおけるRpの最大値とt_{rmax}要求を満たすバス容量との関係

17.5 HsモードI²Cバス・デバイスの抵抗RpおよびRsの最大値と最小値

HsモードI²Cバスに接続された抵抗RpおよびRsの最大値と最小値は表6および表7から計算することができます。これは、異なった立ち上がり時間、立ち下り時間、バス・ラインの負荷、電源電圧、混在スピード・システムおよびレベル・シフトに依存しますのでいろいろな組み合わせ値が得られます。従って、この仕様にはグラフを記載していません。

18 F/SモードI²Cバス・システム用の 双方向性レベル・シフタ

0.5 μm以下の誤差を持った集積回路に関する最新テクノロジーのプロセスでは最大電源電圧が制限されますので、デジタルI/O信号のロジック・レベルも制限されます。これらの低電圧回路を従来の5Vデバイスとインターフェースさせるにはレベル・シフタが必要になります。I²Cバスのような双方向性バスにおいて、このようなレベル・シフタもまた方向コントロール信号⁽¹⁾を用いずに双方向性である必要があります。この問題を解消する最も簡単な方法は各バス・ラインにディスクリートMOS-FETを接続することです。

(1) US5,689,196認証;関連する特許は未出願。

I²Cバス仕様書

このように非常に簡単なソリューションであるにもかかわらず、方向コントロール信号を用いない双方向性レベル・シフトの要求を満たすだけでなく、次のような条件をも満たしています。

- ・ 残りのバス・システムからパワー・ダウンされたバス部を絶縁する。
- ・ 『高電圧』側からの高電圧スパイクに対して『低電圧』側を保護する。

この双方向性レベル・シフトは、標準モード(100kbit/sまで)およびファースト・モード(400kbit/s)のI²Cバス・システムのいずれにもこの双方向性レベル・シフトを使用することができます。これは、Hsモード・システム用にはデザインされておらず、レベル・シフトの機能を持ったブリッジとして利用することができます(13.5節参照)。

18.1 異なったロジック・レベルとのデバイス接続

16節には電源電圧へのプルアップ抵抗を用いて、異なった電圧のデバイスをどのようにして同一バス上で接続することができるかという事を記述しています。これは最も簡単な方法ですが、低い電圧のデバイスのI/Oは5Vとインターフェースできる必要があります。

このことにより製造がより高価になります。しかしながら、双方向性レベル・シフトを使用することにより、各セクションが異なった電源電圧と異なったロジック・レベルを持ったI²Cバス・システムの2セクション間の相互接続が可能になります。このような構成例を図45に示します。左側の『低電圧』セクションにはデバイスと3.3V電源の間にプルアップ抵抗があり、右側の『高電圧』セクションにはデバイスと5V電源の間にプルアップ抵抗があります。各セクションにはロジック入力レベルに関連したI/Oとオープン・ドレインの出力段があります。

各バス・ラインのレベル・シフトは同じタイプであり、ディスクリートNチャンネル・エンハンスメントMOS-FET(シリアル・データ・ラインSDA上のTR1およびシリアル・クロック・ラインSCL上のTR2)で構成されています。ゲート(g)は最低の電源電圧V_{DD1}に、ソース(s)は『低い電圧』側のバス・ラインに、そしてドレイン(d)は『高い電圧』側のバス・ラインに接続される必要があります。多くのMOS-FETはソースに内部接続されたサブストレートを持っていますが、これ以外の場合には外部接続する必要があります。各MOS-FETのドレインとサブストレートの間には内部ダイオード(N-P接合)があります。

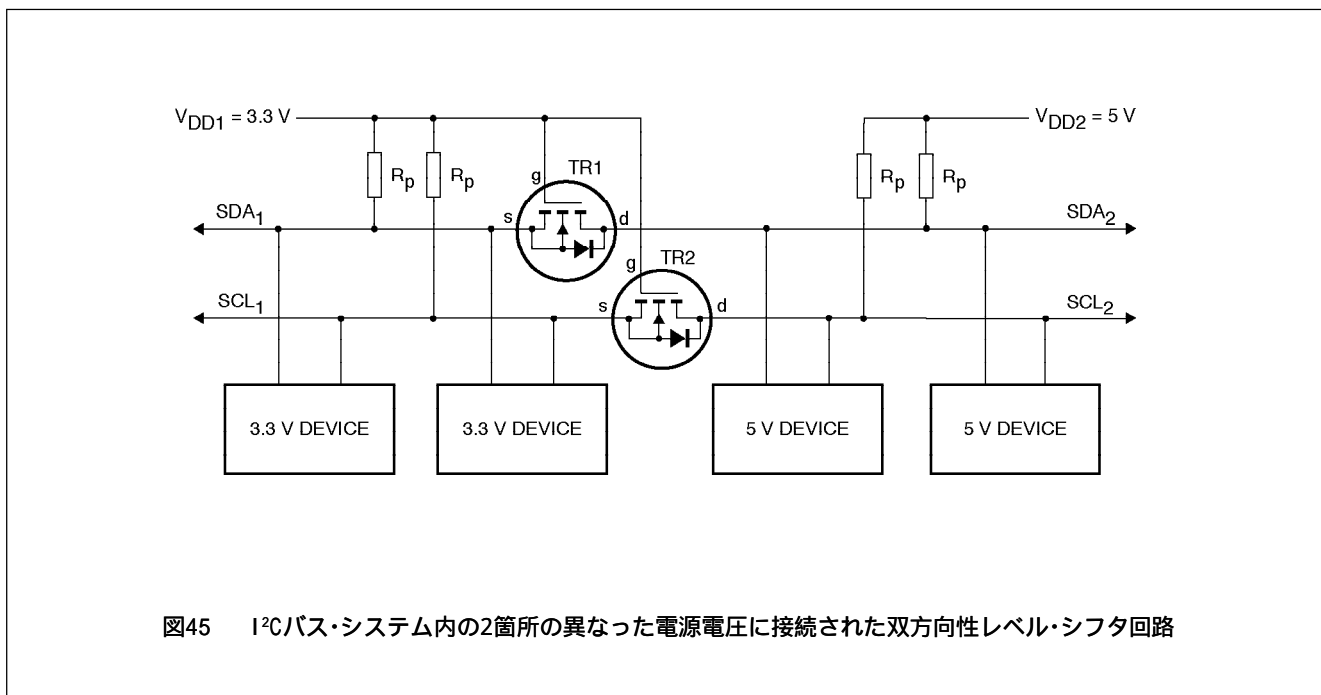


図45 I²Cバス・システム内の2箇所の異なる電源電圧に接続された双方向性レベル・シフト回路

I²Cバス仕様書

18.1.1 レベル・シフトの動作

レベル・シフトの動作中には次の3つの状態を考慮する必要があります。

1. いかなるデバイスもバス・ラインにプルダウンしてはいけません。『低い電圧』セクションはプルアップ抵抗 R_p によって3.3Vにプルアップされます。MOS-FETのゲートとソースは共に3.3Vであるので、この V_{GS} はスレッシュホールド電圧以下であり、MOS-FETは導通しません。このことにより、『高い電圧』セクションのバス・ラインをプルアップ抵抗 R_p 経由で5Vにプルアップすることができるようになります。従って、両セクションのバス・ラインは 'H' になっていますが、両ラインとも別々の電圧レベルになっています。
2. 3.3Vデバイスのバス・ラインは 'L' レベルにプルダウンされます。MOS-FETのソースもまだ 'L' レベルになりますが、ゲート電圧は3.3Vのままです。 V_{GS} はスレッシュホールド以上になり、MOS-FETの導通が開始します。それから、『高い電圧』セクションもまた、導通しているMOS-FET経由で3.3Vデバイスによって 'L' レベルにプルダウンされます。従って、両セクションのバス・ラインが 'L' になって同じ電圧レベルになります。

3. 5Vデバイスのバス・ラインは 'L' レベルにプルダウンされます。 V_{GS} がスレッシュホールドを超えてMOS-FETが導通し始めるまでMOS-FETのドレイン・サブストレート・ダイオードは『低い電圧』セクションにプルダウンされます。『低い電圧』セクションのバス・ラインは、さらに、導通しているMOS-FET経由で5Vデバイスによって 'L' レベルにプルダウンされます。従って、両セクションのバス・ラインが 'L' になって同じ電圧レベルになります。

この3つの状態は、駆動しているデバイスの如何にかかわらず、ロジック・レベルがバス・システムの両方向に転送されることを表しています。状態1はレベル・シフトの機能を実行しています。状態2および3は、I²Cバス仕様で要求されるように、両セクションのバス・ライン間の『ワイヤードAND』の機能を実行しています。

V_{DD1} としての3.3Vおよび V_{DD2} としての5V以外の電源電圧にも適応することができます。つまり、 V_{DD1} としての2Vおよび V_{DD2} としての10Vの電源電圧を利用することもできます。通常動作において V_{DD2} は V_{DD1} に等しいか、これ以上の電圧である必要があります(電源ON/OFFのとき、 V_{DD2} は V_{DD1} 以下まで低下してもかまいません)。

I²Cバス仕様書

19 フィリップスから供給される開発ツール

表8 I²C評価ボード

プロダクト	内 容
OM4151/S87C00KSD	マイクロコントローラ、LCD、LED、パラレルI/O、SRAM、EEPROM、クロック、DTMF発生器、AD/DAコンバータを持ったI ² Cバス評価ボード
OM5027	低電圧・低電力ICおよびソフトウェア用のI ² Cバス評価ボード
OM5500	PCF2166 LCDドライバとPCD3756A テレコム・マイクロコントローラ用のデモ・キット

表9 80C51ベース・システム用の開発ツール

プロダクト	内 容
PDS51	ボード・レベルのフル装備ICE(イン・サーキット・エミュレータ): PCへのRS232インターフェース、ユニバーサル・マザーボード、ターミナル・エミュレーション経由でコントロール

表10 68000ベース・システム用の開発ツール

プロダクト	内 容
OM4160/2	SCC68070を持ったマイクロ・コア-2デモ / 評価ボード
OM4160/4	90CE201を持ったマイクロ・コア-4デモ / 評価ボード
OM4160/5	90CE301を持ったマイクロ・コア-5デモ / 評価ボード

表11 I²Cアナライザ

プロダクト	内 容
OM1022	マルチ・マスターの機能を持ったPC I ² Cバス・アナライザ。I ² Cバスによる実験およびその動作を分析するためのハードウェアおよびソフトウェア(IBMまたはこれとコンパチのPCで動作)ドキュメントを含む。
OM4777	OM1022と類似であるがシングル・マスターのみ。
PF8681	PM3580ロジック・アナライザ・ファミリ用のI ² Cバス・アナライザ・サポート・パッケージ

I²Cバス仕様書

20 参考資料

表12 データ・ハンドブック

タイトル	オーダー・コード
IC01: Semiconductors for Radio, Audio and CD/DVD Systems	9397 750 02453
IC02: Semiconductors for Television and Video Systems	9397 750 01989
IC03: Semiconductors for Wired Telecom Systems (parts a & b)	9397 750 00839, 9397 750 00811
IC12: I ² C Peripherals	9397 750 01647
IC14: 8048-based 8-bit microcontrollers	9398 652 40011
IC17: Semiconductors for wireless communications	9397 750 01002
IC18: Semiconductors for in-car electronics (日本で供給不可)	9397 750 00418
IC19: ICs for data communications	9397 750 00138
IC20: 80C51-based 8-bit microcontrollers + Application notes and Development tools	9397 750 00963
IC22: Multimedia ICs	9397 750 02183

表13 カタログ、リーフレット、ラボ・レポート、本等

タイトル	オーダー・コード
Can you make the distance... with I ² C-bus (information about the P82B715 I ² C-bus extender IC)	9397 750 00008
I ² C-bus multi-master & single-master controller kits	9397 750 00953
Desktop video (CD-ROM)	9397 750 00644
80C51 core instructions quick reference	9397 510 76011
80C51 microcontroller selection guide	9397 750 01587
OM5027 I ² C-bus evaluation board for low-voltage, low-power ICs & software	9398 706 98011
P90CL301 I ² C driver routines	AN94078
User manual of Microsoft Pascal I ² C-bus driver (MICDRV4. OBJ)	ETV/IR8833
C routines for the PCF8584	AN95068
Using the PCF8584 with non-specified timings and other frequently asked questions	AN96040
User 's guide to I ² C-bus control programs	ETV8835
The I ² C-bus from theory to practice (book and disk)	Author: D. Paret Publisher: Wiley ISBN: 0-471-96268-6
Bi-directional level shifter for I ² C-bus and other systems	AN97055
OM5500 demo kit for the PCF2166 LCD driver and PCD3756A telecom microcontroller	9397 750 0054

I²Cバス仕様書

メ モ